

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-130697

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H04N 5/46

(21)Application number : 08-251935

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 24.09.1996

(72)Inventor : JEON BYEUNGWOO
SONG DONG-IL

(30)Priority

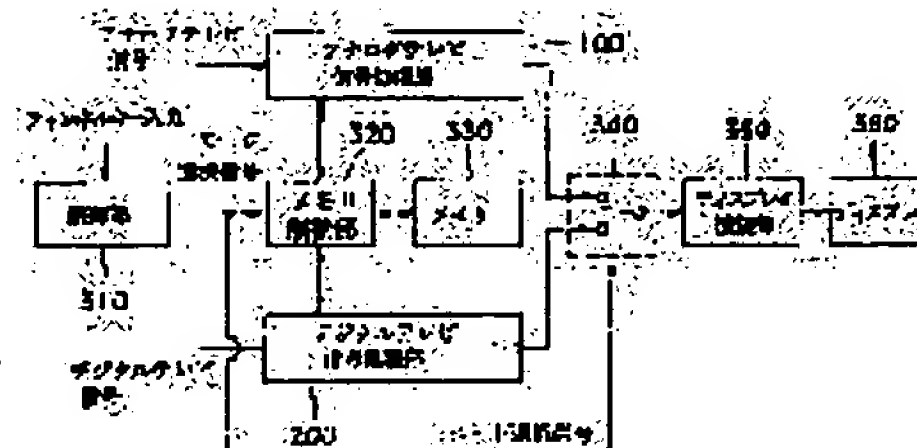
Priority number : 95 9532893 Priority date : 29.09.1995 Priority country : KR

(54) RECEIVER HAVING ANALOG AND DIGITAL VIDEO MODE AND RECEPTION METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the signal processing time by using a large capacity memory provided for decoding a digital video signal for a frame memory required for an analog TV signal processing at the reception of an analog TV channel.

SOLUTION: A memory control section 320 is made up of a plurality of multiplexers 320.1-320.n acting like switching devices and 1st input terminals a1-an of each multiplexer are connected to input/output lines of a digital TV signal processing section 200. On the other hand, 2nd input terminals c1-cn are connected to input/output lines of an analog TV signal processing section 100. Then the multiplexers 320.1-320.n are used for frame buffers for Y/C separator and post-processing to connect input/output lines of a memory 330 are connected to the input/output lines of the analog TV signal processing section 100 when a mode selection signal outputted from a control section 310 indicates the analog video mode. Thus, the efficiency of the digital video signal memory is enhanced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-130697

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl.⁶

H 0 4 N 5/46

識別記号

庁内整理番号

F I

H 0 4 N 5/46

技術表示箇所

審査請求 未請求 請求項の数88 O L (全 21 頁)

(21) 出願番号 特願平8-251935

(22) 出願日 平成8年(1996)9月24日

(31) 優先権主張番号 3 2 8 9 3 / 1 9 9 5

(32) 優先日 1995年9月29日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 全 炳 宇

大韓民国京畿道城南市盆唐區水内洞34番地

陽地アパート104棟1104號

(72) 発明者 宋 東 一

大韓民国京畿道水原市八達區梅灘3洞1162

番地 林光アパート6棟1201號

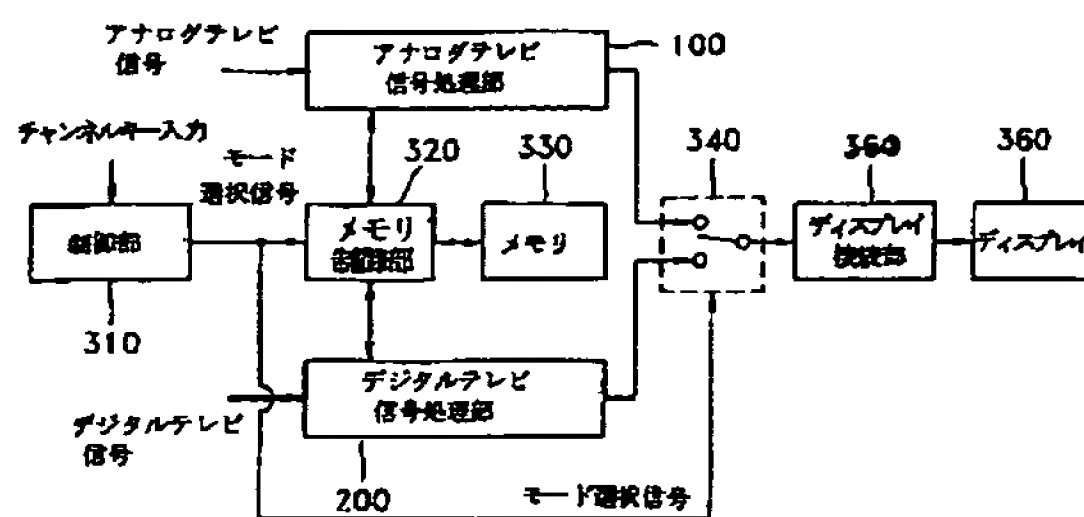
(74) 代理人 弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 アナログとデジタルビデオモードを有する受信器及びその受信方法

(57) 【要約】

【課題】 メモリの効率性を高め、システムのコストを低めうるアナログとデジタルビデオモードを有する受信器及びその受信方法を提供する。

【解決手段】 アナログビデオモードとデジタルビデオモードを有する受信器において、アナログビデオモードのTVチャンネルまたはデジタルビデオモードのTVチャンネルを示すモード選択信号により選択されたアナログビデオモード時Y/C分離、画質改善のための後処理のため必要なフレームメモリを、デジタルビデオ復号化時必要な大容量のメモリと共有する。



【特許請求の範囲】

【請求項1】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

前記受信されるアナログTV信号を信号処理する第1信号処理手段と、

前記受信されるデジタルTV信号を復号化する第2信号処理手段と、

前記第2信号処理手段でデジタルTV信号の復号化と前記第1信号処理手段でデジタル化されたアナログTV信号を処理するためデータを貯蔵するメモリと、

アナログビデオモードまたはデジタルビデオモードを示すモード選択信号を発生する発生手段と、

前記モード選択信号に応じてアナログビデオモード時には前記第1信号処理手段で処理された信号を前記メモリに書込み及び読出するため、またデジタルビデオモード時にはデジタルTV信号を書込／読出するため使用されるように前記メモリを制御するメモリ制御手段とを含むことを特徴とする受信器。

【請求項2】 前記第1信号処理手段は、受信されるアナログTVチャンネルから所望のチャンネルを選択して選択されたチャンネルの中間周波数信号を出力する第1チューナと、

前記第1チューナで選択されたチャンネルの中間周波数信号を増幅し、ビデオ信号を出力する第1チャンネル復調器と、

前記第1チャンネル復調器から出力されるビデオ信号で前記メモリに貯蔵された隣接画面間の相関度と隣接ライン間の相関度とを利用して輝度信号と色信号を分離するY/C分離器とを含むことを特徴とする請求項1に記載の受信器。

【請求項3】 画質改善のために前記分離された輝度信号を利用して後処理する後処理器をさらに含むことを特徴とする請求項2に記載の受信器。

【請求項4】 前記アナログビデオモード時前記メモリを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項2に記載の受信器。

【請求項5】 前記アナログビデオモード時前記メモリを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵し、前記後処理器に輸入されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項3に記載の受信器。

【請求項6】 前記第1信号処理手段は、受信されるアナログTVチャンネルから所望のチャンネルを選択して中間周波数信号に出力する第1チューナと、

前記第1チューナで選択されたチャンネルの中間周波数

信号を増幅し、増幅された信号からビデオ信号を出力する第1チャンネル復調器と、

前記第1チャンネル復調器から出力されるビデオ信号と前記メモリに貯蔵されたデータを利用して後処理する後処理器とを含むことを特徴とする請求項1に記載の受信器。

【請求項7】 前記アナログビデオモード時、前記メモリを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項6に記載の受信器。

【請求項8】 前記第2信号処理手段は、受信される前記デジタル信号フォーマットに符号化されたTV信号で所望のチャンネルの信号を選択する第2チューナと、

前記第2チューナから出力される所望のチャンネル信号をチャンネル復号化する第2チャンネル復調器と、

前記第2チャンネル復調器から出力されたチャンネル復号化された信号からビデオデータストリームを出力するシステムデコーダと、

前記ビデオデータストリームからビデオデータを復元するビデオデコーダとを含むことを特徴とする請求項1に記載の受信器。

【請求項9】 前記デジタルビデオモード時前記メモリをビデオデコーディングのため固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファと動き補償のためのフレームバッファとして使用することを特徴とする請求項8に記載の受信器。

【請求項10】 前記メモリ制御手段は、前記モード選択信号により前記第1及び第2信号処理手段の出力の中1つを選択して前記メモリに書込み、前記メモリに貯蔵されたデータを前記選択された信号処理手段に供給するスイッチング手段よりなることを特徴とする請求項1に記載の受信器。

【請求項11】 前記スイッチング手段は少なくとも1つ以上のマルチプレクサよりなることを特徴とする請求項10に記載の受信器。

【請求項12】 前記モード選択信号により前記第1信号処理手段の出力信号と前記第2信号処理手段の出力信号の中1つを選択するスイッチング手段と、

前記スイッチング手段によりスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とをさらに含むことを特徴とする請求項1に記載の受信器。

【請求項13】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

データラインとクロックラインよりなる共用バスラインに連結され、アナログビデオモードまたはデジタルビデオ

10

20

30

40

50

オモードかを示すモード選択データを発生させる制御手段と、

前記共用バスラインに連結され、前記モード選択データにより受信されるアナログTV信号を信号処理する第1信号処理手段と、

前記共用バスラインに連結され、前記モード選択データにより受信されるデジタルTV信号を復号化する第2信号処理手段と、

前記共用バスラインに連結され、前記第2信号処理手段のデジタルTV信号の復号化のために具備され、アナログビデオモードを示す前記モード選択データにより前記第1信号処理手段で処理されたデータを書込み、貯蔵されたデータを前記第1信号処理手段に供給するメモリとを含むことを特徴とする受信器。

【請求項14】 前記第1信号処理手段は、受信されるアナログTVチャンネルから所望のチャンネルを選択して中間周波数信号に出力する第1チューナと、

前記第1チューナとして選択されたチャンネルの中間周波数信号を増幅し、ビデオ信号を出力する第1チャンネル復調器と、

前記第1チャンネル復調器から出力されるビデオ信号で前記メモリに貯蔵された隣接された画面間の相関度と隣接ライン間の相関度とを利用して輝度信号と色信号を分離するY/C分離器とを含むことを特徴とする請求項13に記載の受信器。

【請求項15】 画質改善のために前記分離された輝度信号を利用して後処理する後処理器をさらに含むことを特徴とする請求項14に記載の受信器。

【請求項16】 前記アナログビデオモード時前記メモリを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項14に記載の受信器。

【請求項17】 前記アナログビデオモード時前記メモリを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵し、前記後処理器から入力されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項15に記載の受信器。

【請求項18】 前記第1信号処理手段は、受信されるアナログTVチャンネルで所望のチャンネルを選択して中間周波数信号として出力する第1チューナと、

前記第1チューナで選択されたチャンネルの中間周波数信号を増幅し、ビデオ信号を出力する第1チャンネル復調器と、

前記第1チャンネル復調器から出力されるビデオ信号と前記メモリに貯蔵されたデータを利用して後処理する後処理器とを含むことを特徴とする請求項13に記載の受信器。

【請求項19】 前記アナログビデオモード時前記メモ

リを前記第1チャンネル復調器から出力されるデータを画面単位に貯蔵するフレームメモリとして使用することを特徴とする請求項18に記載の受信器。

【請求項20】 前記第2信号処理手段は、受信される前記デジタル信号フォーマットに符号化されたTV信号から所望のチャンネルの信号を選択する第2チューナと、

前記第2チューナを通して出力される所望のチャンネル信号をチャンネル復号化する第2チャンネル復調器と、

前記第2チャンネル復調器でチャンネル復号化された信号からビデオデータストリームを出力するシステムデコーダと、

前記ビデオデータストリームをビデオデータに復元するビデオデコーダとを含むことを特徴とする請求項13に記載の受信器。

【請求項21】 前記デジタルビデオモード時前記メモリをビデオデコーディングのために固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファと動き補償のためのフレームバッファとして使用することを特徴とする請求項20に記載の受信器。

【請求項22】 前記モード選択データにより前記第1信号処理手段の出力信号と前記第2信号処理手段の出力信号との中1つをスイッチングするスイッチング手段と、

前記スイッチング手段によりスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とをさらに含むことを特徴とする請求項13に記載の受信器。

【請求項23】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

デジタル化されたアナログTV信号を入力する第1入力端と、

チャンネル復号化されたデジタルTV信号を入力する第2入力端と、

使用者により選択されたチャンネルがアナログビデオモードのTVチャンネルかまたはデジタルビデオモードのTVチャンネルかを判断してモード選択信号を発生させる発生手段と、

前記チャンネル復号化されたデジタルTV信号のビデオ復号化のために使用されるメモリと、

前記モード選択信号により前記第1入力端及び第2入力端に入力される信号のうち1つを選択して信号処理するが、アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログ信号を前記メモリに書込/読出して前記メモリを共有するように制御するマイクロプロセッサと、

前記マイクロプロセッサで処理された信号をディスプレ

イにディスプレイされるように制御するディスプレイ制御手段とを含むことを特徴とする受信器。

【請求項24】 前記第2入力端から入力されるチャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出するシステムデコーダをさらに含むことを特徴とする請求項23に記載の受信器。

【請求項25】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号のY/C分離を行い、前記デジタルビデオモード時には前記システムデコーダから出力されるビデオデータストリームからデジタルビデオ信号を復元することを特徴とする請求項24に記載の受信器。

【請求項26】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号のY/C分離を行い、前記デジタルビデオモード時にはシステムデコーディングを行って前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出することを特徴とする請求項23に記載の受信器。

【請求項27】 前記マイクロプロセッサから出力されるビデオデータストリームからデジタルビデオ信号に復元するビデオデコーダをさらに含むことを特徴とする請求項26に記載の受信器。

【請求項28】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号のY/C分離を行い、前記デジタルビデオモード時には前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号からシステムデコーディングのためビデオデータストリームを抽出し、抽出されたビデオデータストリームからデジタルビデオ信号に復元することを特徴とする請求項23に記載の受信器。

【請求項29】 前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出し、抽出されたビデオデータストリームからデジタルビデオ信号を復元するシステム及びビデオデコーダをさらに含むことを特徴とする請求項23に記載の受信器。

【請求項30】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号のY/C分離を行い、前記デジタルビデオモード時にはシステムデコーディング及びビデオデコーディングのため前記デジタルTV信号を前記メモリに書込及び読出できるように制御することを特徴とする請求項29に記載の受信器。

【請求項31】 前記マイクロプロセッサは分離された輝度信号を利用して後処理をさらに行うことを特徴とする請求項25に記載の受信器。

【請求項32】 前記アナログビデオモード時、前記メ

モリを前記デジタル化されたアナログTV信号のY/C分離のためのフレームメモリとして使用することを特徴とする請求項22に記載の受信器。

【請求項33】 前記アナログビデオモード時、前記メモリをY/C分離と後処理のためのフレームメモリとして使用することを特徴とする請求項31に記載の受信器。

【請求項34】 前記デジタルビデオモード時前記メモリを固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項25に記載の受信器。

【請求項35】 前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出するシステムデコーダをさらに含むことを特徴とする請求項23に記載の受信器。

【請求項36】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号の後処理を行い、前記デジタルビデオモード時には前記システムデコーダから出力されるビデオデータストリームからデジタルビデオ信号を復元することを特徴とする請求項35に記載の受信器。

【請求項37】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号の後処理を行い、前記デジタルビデオモード時には前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号のシステムデコーディングを行ってビデオデータストリームを抽出することを特徴とする請求項23に記載の受信器。

【請求項38】 前記マイクロプロセッサでは前記ビデオデータストリームからデジタルビデオ信号を復元するビデオデコーダをさらに含むことを特徴とする請求項37に記載の受信器。

【請求項39】 前記マイクロプロセッサは前記アナログビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号の後処理を行い、前記デジタルビデオモード時には前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号のシステムデコーディングを行ってビデオデータストリームを抽出し、抽出されたビデオデータストリームからデジタルビデオ信号を復元することを特徴とする請求項23に記載の受信器。

【請求項40】 前記第2入力端に入力されるチャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出し、抽出されたビデオデータストリームからビデオデータを復元するシステム及びビデオデコーダをさらに含むことを特徴とする請求項23に記載の受信器。

【請求項41】 前記マイクロプロセッサは前記アナロ

グビデオモード時には前記第1入力端に入力されるデジタル化されたアナログTV信号の後処理を行い、前記デジタルビデオモード時にはシステムデコーディング及びビデオデコーディングのため前記デジタルTV信号を前記メモリに書込及び読出できるように制御することを特徴とする請求項40に記載の受信器。

【請求項42】 前記アナログビデオモード時前記メモリの後処理のためのフレームメモリとして使用することを特徴とする請求項36に記載の受信器。

【請求項43】 前記デジタルビデオモード時前記メモリを固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項36に記載の受信器。

【請求項44】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

チャンネル復調されたアナログTV信号を入力する第1入力端と、

チャンネル復号化されたデジタルTV信号を入力する第2入力端と、

アナログビデオモードまたはデジタルビデオモードかを示すモード選択信号を発生させる発生器と、

前記チャンネル復号化されたデジタルTV信号のソース復号化または前記チャンネル変調されたアナログTV信号を処理するためデータを貯蔵するメモリと、

モード選択信号によりデジタルビデオモード時にはデジタルTV信号を、アナログビデオモード時にはデジタル化されたアナログTV信号を前記メモリに書込／読出するように制御するマイクロプロセッサと、

前記チャンネル復調されたアナログTV信号を受信する入力端、前記メモリから読出されたデータを前記マイクロプロセッサから入力する入力端、前記メモリにデータを貯蔵するため前記マイクロプロセッサにデータを出力する出力端、処理されたアナログTV信号を出力する出力端を具備したアナログ処理手段と、

前記チャンネル復号化されたデジタルTV信号を受信する入力端、前記マイクロプロセッサに連結された入出力端、前記チャンネル復号化されたデジタルTV信号から復元されたデジタルTV信号を出力するための端子を具備したデジタル処理手段と、

復元されたデジタルTV信号と前記処理されたアナログTV信号のうち1つをモード選択信号により選択するスイッチング手段と、

前記スイッチング手段からスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とを含むことを特徴とする受信器。

【請求項45】 前記デジタル処理手段は前記チャネル

ル復号化されたデジタルTV信号からシステムデコーディングを行ってビデオデータストリームを抽出し、抽出されたビデオデータストリームからデジタルビデオ信号を復元することを特徴とする請求項44に記載の受信器。

【請求項46】 前記デジタル処理手段は前記チャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出し、抽出されたビデオデータストリームからデジタルビデオ信号を復元し、前記復元されたデジタルビデオ信号をアナログビデオ信号に変換することを特徴とする請求項44に記載の受信器。

【請求項47】 前記デジタルビデオモード時、前記メモリを固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項44に記載の受信器。

【請求項48】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離を行うことを特徴とする請求項44に記載の受信器。

【請求項49】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のY/C分離のためのフレームメモリとして使用することを特徴とする請求項48に記載の受信器。

【請求項50】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号の後処理を行うことを特徴とする請求項44に記載の受信器。

【請求項51】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号の後処理のためのフレームメモリとして使用することを特徴とする請求項50に記載の受信器。

【請求項52】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のT/C分離と後処理とを行うことを特徴とする請求項44に記載の受信器。

【請求項53】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のT/C分離と後処理とのためのフレームメモリとして使用することを特徴とする請求項52に記載の受信器。

【請求項54】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

チャンネル復調されたアナログTV信号を入力する第1入力端と、

チャンネル復号化されたデジタルTV信号を入力する第2入力端と、

アナログビデオモードまたはデジタルビデオモードかを示すモード選択信号を発生させる発生器と、

前記チャンネル復号化されたデジタルTV信号のビデオデコーディングのためまた前記チャンネル変調されたア

10

20

30

40

50

ナログTV信号を処理するためデータを貯蔵するメモリと、

前記チャンネル復号化されたデジタルTV信号を受信する入力端を具備し、前記チャンネル復号化されたデジタルTV信号からデジタルビデオ信号を復元し、前記モード選択信号によりデジタルビデオモード時には前記チャンネル復号化されたデジタルTV信号を、アナログビデオモード時にはデジタル化されたアナログTV信号を前記メモリに書込／読出すように制御するマイクロプロセッサと、

前記チャンネル復調されたアナログTV信号を受信する入力端、前記メモリから読出されたデータを前記マイクロプロセッサから入力する入力端、前記メモリにデータを貯蔵するため前記マイクロプロセッサに出力する出力端、処理されたアナログTV信号を出力する出力端を具備したアナログ処理手段と、
前記マイクロプロセッサから復元されたデジタルビデオ信号と前記処理されたアナログTV信号のうち1つを選択するスイッチング手段と、
前記スイッチング手段からスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とを含むことを特徴とする受信器。

【請求項55】 前記マイクロプロセッサは前記チャンネル復号化されたデジタルTV信号をマルチプレキシングし、前記チャンネル復号化されたデジタルTV信号からシステムデコーディングを行ってビデオデータストリームを抽出し、前記抽出されたビデオデータストリームからデジタルビデオ信号を復元することを特徴とする請求項54に記載の受信器。

【請求項56】 前記マイクロプロセッサから出力される復元されたデジタルビデオ信号をアナログ信号に変換して前記スイッチング手段に供給するデジタル処理手段をさらに含むことを特徴とする請求項54に記載の受信器。

【請求項57】 前記ディスプレイ制御手段はスイッチングされた信号をアナログ信号に変換することを特徴とする請求項54に記載の受信器。

【請求項58】 前記デジタルビデオモード時、前記メモリを前記チャンネル復号化されたデジタルTV信号を一時的に貯蔵するバッファ、固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項55に記載の受信器。

【請求項59】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離を行うことを特徴とする請求項54に記載の受信器。

【請求項60】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のY/C分離のためのフレームメモリとして使用することを特徴とする請求項59に記載の受信器。

【請求項61】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号の後処理を行うことを特徴とする請求項54に記載の受信器。

【請求項62】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号の後処理のためのフレームメモリとして使用することを特徴とする請求項61に記載の受信器。

【請求項63】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離と後処理とを行うことを特徴とする請求項54に記載の受信器。

【請求項64】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のY/C分離と後処理とのためのフレームメモリとして使用することを特徴とする請求項63に記載の受信器。

【請求項65】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、

チャンネル復調されたアナログTV信号を入力する第1入力端と、

チャンネル復号化されたデジタルTV信号を入力する第2入力端と、

アナログビデオモードまたはデジタルビデオモードかを示すモード選択信号を発生させる発生器と、

前記チャンネル復号化されたデジタルTV信号のソース復号化のため、また前記チャンネル復調されたアナログTV信号を処理するためにデータを貯蔵するメモリと、

前記チャンネル復号化されたデジタルTV信号を受信する入力端を具備し、前記チャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出し、前記モード選択信号によりデジタルビデオモード時には前記チャンネル復号化されたデジタルTV信号を、アナログビデオモード時にはデジタル化されたアナログTV信号を前記メモリに書込／読出すように制御するマイクロプロセッサと、

前記チャンネル復調されたアナログTV信号を受信する入力端、前記メモリから読出されたデータを前記マイクロプロセッサから入力する入力端、前記メモリにデータを貯蔵するため前記マイクロプロセッサに出力する出力端、処理されたアナログTV信号を出力する出力端を具備したアナログ処理手段と、

前記ビデオデータストリームからデジタルビデオ信号を復元するデジタル処理手段と、

前記デジタル処理手段の出力信号と前記処理されたアナログTV信号のうち1つを選択するスイッチング手段と、

前記スイッチング手段からスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とを含むことを特徴とする受信器。

【請求項 66】 前記マイクロプロセッサは前記チャンネル復号化されたデジタルTV信号をマルチプレキシングし、前記チャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出することを特徴とする請求項 65 に記載の受信器。

【請求項 67】 前記デジタル処理手段は復元されたデジタルビデオ信号をアナログ信号に変換することを特徴とする請求項 65 に記載の受信器。

【請求項 68】 前記ディスプレイ制御手段は前記スイッチング手段からスイッチングされた信号をアナログ信号に変換することを特徴とする請求項 65 に記載の受信器。

【請求項 69】 前記デジタルビデオモード時、前記メモリを前記チャンネル復号化されたデジタルTV信号を一時的に貯蔵するバッファ、固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項 66 に記載の受信器。

【請求項 70】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離を行うことを特徴とする請求項 65 に記載の受信器。

【請求項 71】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のY/C分離のためのフレームメモリとして使用することを特徴とする請求項 70 に記載の受信器。

【請求項 72】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号の後処理を行うことを特徴とする請求項 65 に記載の受信器。

【請求項 73】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号の後処理のためのフレームメモリとして使用することを特徴とする請求項 72 に記載の受信器。

【請求項 74】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離と後処理とを行うことを特徴とする請求項 65 に記載の受信器。

【請求項 75】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のT/C分離と後処理とのためのフレームメモリとして使用することを特徴とする請求項 74 に記載の受信器。

【請求項 76】 所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、
チャンネル復調されたアナログTV信号を入力する第1入力端と、
チャンネル復号化されたデジタルTV信号を入力する第2入力端と、
アナログビデオモードまたはデジタルビデオモードかを示すモード選択信号を発生させる発生器と、

前記チャンネル復号化されたデジタルTV信号のソース復号化のためまた前記チャンネル復調されたアナログTV信号を処理するためにデータを貯蔵するメモリと、
前記チャンネル復号化されたデジタルTV信号を受信する入力端を具備し、前記チャンネル復号化されたデジタルTV信号からビデオデータストリームを抽出するデジタル処理手段と、

前記デジタル処理手段から抽出されたビデオデータストリームを入力してデジタルビデオ信号に復元し、アナログビデオモード時にはデジタル化されたアナログTV信号を前記メモリに書込/読出すように制御するマイクロプロセッサと、

前記チャンネル復調されたアナログTV信号を受信する入力端、前記メモリから読出されたデータを前記マイクロプロセッサから入力する入力端、前記メモリにデータを貯蔵するためマイクロプロセッサにデータを出力する出力端、処理されたアナログTV信号を出力する出力端を具備したアナログ処理手段と、

前記デジタル処理手段の出力信号と前記処理されたアナログTV信号のうち1つを選択するスイッチング手段と、

前記スイッチング手段からスイッチングされた信号をディスプレイにディスプレイされるように制御するディスプレイ制御手段とを含むことを特徴とする受信器。

【請求項 77】 前記マイクロプロセッサで復元されたデジタルビデオ信号をアナログ信号に変換して前記スイッチング手段に供給する変換手段をさらに含み、この際、前記アナログ処理手段から出力される信号はアナログ信号であることを特徴とする請求項 76 に記載の受信器。

【請求項 78】 前記ディスプレイ制御手段は前記スイッチング手段からスイッチングされた信号をアナログ信号に変換し、この際スイッチングされた信号はデジタル信号であることを特徴とする請求項 76 に記載の受信器。

【請求項 79】 前記デジタルビデオモード時、前記メモリを固定ビット率の伝送率を可変ビット率に変換するチャンネルバッファ、動き補償のためのフレームバッファとディスプレイバッファとして使用することを特徴とする請求項 76 に記載の受信器。

【請求項 80】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号のY/C分離を行うことを特徴とする請求項 76 に記載の受信器。

【請求項 81】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログTV信号のY/C分離のためのフレームメモリとして使用することを特徴とする請求項 80 に記載の受信器。

【請求項 82】 前記アナログ処理手段は前記チャンネル復調されたアナログTV信号の後処理を行うことを特徴とする請求項 76 に記載の受信器。

【請求項 8 3】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログ TV 信号の後処理のためのフレームメモリとして使用することを特徴とする請求項 8 2 に記載の受信器。

【請求項 8 4】 前記アナログ処理手段は前記チャンネル復調されたアナログ TV 信号の Y/C 分離と後処理とを行うことを特徴とする請求項 7 6 に記載の受信器。

【請求項 8 5】 前記アナログビデオモード時、前記メモリを前記チャンネル復調されたアナログ TV 信号の Y/C 分離と後処理とのためのフレームメモリとして使用する 10 ことを特徴とする請求項 8 4 に記載の受信器。

【請求項 8 6】 所定のアナログ放送方式によりアナログ処理された TV 信号と所定のデジタル信号フォーマットによりデジタル処理された TV 信号を受信する方法において、

(a) 使用者により選択されたチャンネルがアナログビデオモードの TV チャンネルかまたはデジタルビデオモードの TV チャンネルかを判断してモード選択信号を発生させる段階と、

(b) 前記モード選択信号により受信されるデジタル TV 20 信号をデジタルビデオ復号用メモリに貯蔵し、前記メモリに貯蔵されたデータを利用して復号化する段階とを含むことを特徴とする受信方法。

【請求項 8 7】 所定のアナログ放送方式によりアナログ処理された TV 信号と所定のデジタル信号フォーマットによりデジタル処理された TV 信号を受信する方法において、

(a) 使用者により選択されたチャンネルがアナログビデオモードの TV チャンネルかまたはデジタルビデオモードの TV チャンネルかを判断してモード選択信号を発生 30 させる段階と、

(b) 前記モード選択信号により受信されるアナログ TV 信号を前記デジタルビデオ復号化用のメモリに貯蔵し、前記メモリに貯蔵されたデータを読出して処理する段階とを含むことを特徴とする受信方法。

【請求項 8 8】 所定のアナログ放送方式によりアナログ処理された TV 信号と所定のデジタル信号フォーマットによりデジタル処理された TV 信号を受信する方法において、

(a) 使用者により選択されたチャンネルがアナログビデオモードの TV チャンネルかまたはデジタルビデオモードの TV チャンネルかを判断してモード選択信号を発生 40 させる段階と、

(b) 前記モード選択信号によりデジタルビデオモード時には受信されるデジタル TV 信号をデジタルビデオ復号用メモリに貯蔵し、前記メモリに貯蔵されたデータを利用して復号化し、アナログビデオモード時には受信されるアナログ TV 信号を前記デジタルビデオ復号化用のメモリに貯蔵し、前記メモリに貯蔵されたデータを読出して処理する段階とを含むことを特徴とする受信方法。 50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアナログとデジタルビデオモードを有する受信器及びその受信方法に係り、特にアナログビデオモード時デジタルテレビジョン（以下、TV と称する）信号処理のためのメモリを共有する受信器及びその受信方法に関する。

【0002】

【従来の技術】 デジタルビデオモードとは送信器（例えば放送局）で MPEG（Moving Picture Experts Group）標準によりデジタルに処理された TV 信号を受信することであり、アナログビデオモードとは NTSC、PAL、または SECAM 等のような既存の放送方式によりアナログ処理された信号を受信することである。

【0003】 MPEG-2 により符号化されたビットストリームを復号化するセットトップボックス（SET-TOP-BOX: STB）または STB を内蔵したデジタル TV 等が開発されているが既存のアナログビデオサービスも相当期間行われる見込である。このような状況に対応するため、TV 受信器はアナログとデジタルビデオモードの両方を採用することになった。アナログとデジタルビデオモードを有する TV 受信器は、デジタル TV 信号の復号化のために 8-32 Mbits のメモリが要求されるが、アナログビデオモード時にはデジタルビデオ復号化のために具備された 8-32 Mbits の大容量のメモリは使用されない。

【0004】 一方、既存のアナログビデオモードを有する受信器は図 1 に示されたように、チューナ 11 で送信器（図示せず）から伝送されるアナログ TV チャンネルの信号の中使用者が所望の TV チャンネルの信号を選択して中間周波数（以下、IF と称する）信号として出力する。チャンネル復調器 12 ではチューナ 11 で選択されたチャンネルの IF 信号を増幅する（ここで、増幅された信号でビデオ信号とサウンド信号を分離するが、簡略化のためにビデオ信号処理のみに対して図示及び説明される）。

【0005】 輝度（Y）/色（C）分離器 13 ではチャンネル復調器 12 から出力されるビデオ信号から Y 信号と C 信号を分離する。この際 Y/C 分離はフレームメモリ 14 に貯蔵された前のフレームと現在のフレームとの相関度及び/または現在のラインと隣接ラインとの相関度を利用する。分離された信号はフレームメモリ 14 に貯蔵されると共にディスプレイ接続部 15 に入力される。

【0006】 ディスプレイ接続部 15 では Y/C 分離器 13 から出力される Y と C 信号をアナログ R、G、B 信号として変換した後、ディスプレイ 16 に出力する。ここで、ディスプレイは一例として受像管である。チューナ 11、チャンネル復調器 12、Y/C 分離器 13 はアナログ TV 信号処理部 100 に該当する。また、チャン

ネル復調器 12 の出力がフレームメモリ 14 にデジタルデータとして貯蔵されるためにはチャンネル復調器 12 の出力がデジタル信号形態に変換されるアナログ／デジタル (A/D) 変換器がさらに構成され、ディスプレイ接続部 15 の出力がアナログ信号としてディスプレイ 16 にディスプレイされるためにはディスプレイ接続部 15 の出力がアナログ信号形態に変換する D/A 変換器が構成されうる。

【0007】一方、従来のアナログ TV でコームフィルター等を使用して Y/C 分離を行う場合 Y/C 分離が足りなくてクロスカラーまたはクロスルミナンス現象のような問題点が発生し、これを改善するために図 1 のようにフレームメモリ 14 を具備して時々フレームコームフィルタリングと知られた 3 次元 Y/C 分離を行うことにより画質を改善させている。

【0008】また、さらに優秀な画質を得るために Y/C 分離を行った後、後処理を行う場合にもフレームメモリが使用されうる。即ち、フレームメモリを利用して現在フレームと以前フレームとの相関度によりエッジ成分であるかを判別してエッジを強調する。このように、画質を効果的に改善するための改善策の中多くの方法等が高容量のメモリを要求してメモリ使用に因してコスト高となるので効果は最適でないが制限されたメモリのみで具現可能な方法等が使用された。

【0009】図 2 は従来の MPEG-2 に符号化された TV 信号を受信するデジタル TV の概略的なブロック図である。図 2 において、チューナ 21 ではアンテナを通して伝送される TV 信号で所望のチャンネルの信号を選択する。この際アンテナを通して伝送される TV 信号は MPEG-2 のパケット構造で入力される。即ち、MPEG-2 フォーマットを見ると伝送路上のデータのシステム層は 188 バイト単位のパケットよりなる。付加的に、パケット構造はシンクとサイド情報よりなるヘッダ情報とヘッダ情報を除けた他の領域にはビデオデータ、オーディオデータまたは使用者データ等が含まれている。ここで、ビデオデータはピクチャ間符号化またはピクチャ内符号化に圧縮されている。

【0010】ここで、ピクチャ間符号化によれば 1 GOP (通常 15 個のピクチャで構成) 単位中イントラピクチャに追従するプリディクティッドピクチャ (predicted picture) と二方向プリディクティッドピクチャは、符号化しようとするピクチャと符号化した他のピクチャ間の差のみを符号化する。1 GOP 内には他の画面データなく独立的にコーディング可能なイントラ (I) ピクチャデータと、前のイントラピクチャデータやプリディクティッドピクチャデータから隣接するピクチャの間の動き補償を利用してコーディング可能なプリディクティッド (P) ピクチャデータと、前のイントラピクチャデータまたはプリディクティッドピクチャデータと、追従するイントラピクチャデータまたはプリディクティ

ッドピクチャデータから動き補償を利用してコーディング可能な二方向プリディクティッド (B) ピクチャデータを含む。

【0011】チャンネル復調器 22 は QPSK 復調器、リード・ソロモン復号化器、ビタービ (Viterbi) 復号化器等を具備してチューナ 21 を通して伝送される所望のデジタル TV チャンネルの信号を MPEG-2 ビットストリームに変換させる。システムデコーダ 23 は MPEG-2 ビットストリームをまたオーディオとビデオデータストリームとに分離する。ここで、オーディオデータストリームから出力されるオーディオ信号をデコーディングするオーディオデコーダとデコーディングされたオーディオ信号を信号処理するオーディオ信号処理部が含まれることが望ましいが、図 1 ではビデオ信号処理のみが説明される。

【0012】ビデオデコーダ 24 ではシステムデコーダ 23 から出力されるビデオデータストリームで可変長復号化する可変長復号器、可変長復号化されたデータを逆量子化する逆量子化器、IDCT (Inverse Discrete Cosine Transform) 動作を行う IDCT 動作器及び動き予測データを計算するための動き補償器を含み、圧縮されたデータを本来のデータに復元してディスプレイ 27 にディスプレイする。ここで、ディスプレイ接続部 26 は復元されたビデオデータをディスプレイ 27 にディスプレイする前にアナログ RGB 信号に変換する過程を行う。

【0013】メモリ 25 はビデオデコーダ 24 で行われるデジタルビデオデータのビデオデコーディング (ソース・復号化とも称する) のために使用される。即ち、メモリ 25 は、システムデコーダ 23 から出力されるビデオデータストリームが固定されたビット率を有するので可変長復号化する前可変ビット率に変換するための VBV (Video Buffering Verifier) バッファ (チャンネルバッファとも称する) と、前のフレームデータから動きベクトルに相応する所定大きさの DC T ブロックを読み出し、読出されたブロックデータと逆 DC T データを加算して動きを補償した後、P と B ピクチャを復元するためのフレームバッファ等を含む。従ってビデオデータストリームの復号化のためにメモリ 25 は約 8-32 Mbits のメモリがフレームバッファ等と VBV バッファ用として必要となる。

【0014】ここで、チューナ 21、チャンネル復調器 22、システムデコーダ 23、ビデオデコーダ 24 はデジタル TV 信号処理部 200 に該当する。また、デジタル TV 信号処理部 200 とメモリ 25 を STB と称する。相当期間、NTSC、PAL のようなアナログ TV サービスが存在し続けるので民生用のテレビシステムはアナログとデジタルビデオサービスの両方をディスプレイすべきである。次のような 2 つの方法が予測できる。

【0015】図 3 に示されたように、デジタルビデオサ

ービスのための全ての処理をSTB210で行った後、復元された映像信号を既存のアナログTV110のビデオ入力端子に印加してアナログTV110でもデジタルビデオサービスができるように開発されている。そして、図4に示されたように、TVではデジタルTV信号処理部200とメモリ25を具備してアナログビデオサービスとデジタルビデオサービスの両方できるように開発されている。

【0016】従って、図3及び図4に示されたように、アナログTV信号処理においても、Y/C分離または所定の画質改善のための後処理のためにフレームメモリを使用し、テレビがアナログビデオサービスのみを受信する時はデジタルビデオ復号化のための8-32Mbitsの膨大なメモリは使用されない。デジタルビデオ復号化機能を内蔵したTVには必ず所定量のメモリ(8-32Mbits)が存在するが、デジタルビデオサービスを受けずアナログビデオサービスを受ける場合このデジタルビデオ復号化機能のための膨大なメモリは使用されないのでTVシステム内に既に存在する資源が使用できない問題点がある。

【0017】

【発明が解決しようとする課題】前記問題点を克服するための本発明の目的はアナログとデジタルモードを両方有する受信器において、アナログビデオモード時デジタルビデオ復号化のためのメモリをアナログTV信号の処理のため共有する受信器を提供することにある。本発明の他の目的はアナログビデオモード時デジタルビデオ復号化のためのメモリをアナログTV信号の処理のため共有する受信方法を提供することにある。

【0018】

【課題を解決するための手段】前記目的を達成するための本発明の装置は、所定のアナログ放送方式によりアナログ処理されたTV信号を受信するアナログビデオモードと所定のデジタル信号フォーマットによりデジタル処理されたTV信号を受信するデジタルビデオモードを有する受信器において、受信されるアナログTV信号を信号処理する第1信号処理手段と、受信されるデジタルTV信号を復号化する第2信号処理手段と、前記第2信号処理手段でデジタル化されたアナログTV信号を処理するためデータを貯蔵するメモリと、アナログビデオモードまたはデジタルビデオモードを示すモード選択信号を発生する発生手段と、前記モード選択信号に応じてアナログビデオモード時には前記第1信号処理手段で処理された信号を前記メモリに書込及び読出するため、またデジタルビデオモード時にはデジタルTV信号を前記メモリに書込/読出するため使用されるように前記メモリを制御するメモリ制御手段とを含むことを特徴とする。

【0019】前記他の目的を達成するための本発明の方法は所定のアナログ放送方式によりアナログ処理されたTV信号と所定のデジタル信号フォーマットによりデジ

タル処理されたTV信号を受信する方法において、

(a) 使用者により選択されたチャンネルがアナログビデオモードのTVチャンネルかまたはデジタルビデオモードのTVチャンネルかを判断してモード選択信号を発生させる段階と、(b) 前記モード選択信号によりデジタルビデオモード時には受信されるデジタルTV信号をデジタルビデオ復号用メモリに貯蔵し、前記メモリに貯蔵されたデータを利用して復号化し、アナログビデオモード時には受信されるアナログTV信号を前記デジタルビデオ復号化用のメモリに貯蔵し、前記メモリに貯蔵されたデータを読出して処理する段階とを含むことを特徴とする。

【0020】

【発明の実施の形態】以下、添付の図面に基づき本発明によるアナログとデジタルビデオモードを有する受信器及びその受信方法の望ましい実施例を説明する。図5は本発明によるアナログとデジタルビデオモードを有する受信器の一実施例による概念的ブロック図である。図5において、アナログTV信号処理部100とデジタルTV信号処理部200の構成と動作は図1及び図2で説明した構成及び動作と同じなのでここでは説明しない。

【0021】制御部310は入力されたチャンネルキーが既存のアナログ放送方式により信号処理されたTVチャンネル(以下、アナログTVチャンネルと称する)またはMPEG-2でデジタル符号化されたTVチャンネル(以下、デジタルTVチャンネルと称する)かを判断してアナログビデオモードまたはデジタルビデオモードを示すモード選択信号を出力する。

【0022】メモリ制御部320はモード選択信号によりアナログTV信号処理部100及びデジタルTV信号処理部200で処理された出力の中1つを選択してメモリ330に書込んだり、またはメモリ330に貯蔵されたデータを読出してアナログTV信号処理部100またはデジタルTV信号処理部200に供給する。アナログビデオモード時アナログTV信号処理部100で処理された信号がマルチプレクサ340及びディスプレイ接続部350を通してディスプレイ360にディスプレイされ、デジタルビデオモード時デジタルTV信号処理部200から処理された信号がマルチプレクサ340及びディスプレイ接続部350を通してディスプレイ360にディスプレイされる。

【0023】ここで、マルチプレクサ340は制御部310から出力されるモード選択信号により選択された映像信号をディスプレイ接続部350に供給する。メモリ330はアナログビデオモード時には図1に基づき前述したようにY/C分離と後処理のためのフレームメモリ(またはフィールドメモリ)で使用され、デジタルビデオモード時には図2に基づき前述したように、固定ビット率の伝送率を変換するVBVバッファと動き補償のためのフレームバッファとして使用される。

10

20

30

40

50

【0024】図6は図5に示されたメモリ制御部320の詳細図である。図6では便宜上メモリ入／出力ラインが1つに示されているが、実際の具現はそれぞれの入／出力ラインに対して構成されうる。ここで、入／出力ラインはメモリ330にデータを読出したり書込むため使用されるデータライン、アドレスライン、そしてイネーブルのようなメモリ制御ライン等を通称する。

【0025】メモリ制御部320はスイッチング役割をする複数のマルチプレクサ320. 1-320. nで構成でき、各マルチプレクサの第1入力端子a₁-a_nは図5に示されたデジタルTV信号処理部200の入／出力ラインと連結されていて、第2入力端子c₁-c_nは図5に示されたアナログTV信号処理部100の入／出力ラインと連結されていて、固定端子b₁-b_nは図5に示されたメモリ330の入／出力ラインと連結されている。

【0026】従って、各マルチプレクサ320. 1-320. nは図5に示された制御部310から出力されるモード選択信号がアナログビデオモードを示す場合Y/C分離及び後処理用のフレームバッファとして使用するためにメモリ330の入／出力ラインをアナログTV信号処理部100の入／出力ラインと連結させる。反対に各マルチプレクサ320. 1-320. nはモード選択信号がデジタルビデオモードを示す場合、メモリ330を固定ビット率の伝送率を変換するV B Vバッファと動き補償のためのフレームバッファとして使用するためにメモリ部330の入／出力ラインをデジタルTV信号処理部200の入／出力ラインと連結させる。

【0027】一方、アナログとデジタルビデオモード時バス制御方式を利用してメモリを共有する受信器は図7に示されている。バス制御方式とは制御部（マイクロコンピュータ）のデータ出力端等とクロック出力端に連結される二方向データ伝送の可能なデータラインとクロックラインよりなる2つの共用バスラインを通して機能制御ユニット等が制御部410と連結されていて、制御部でアドレスとデータを2つの共用バスラインを通して伝送し、伝送されるアドレスは与えられた機能ユニットの固有アドレスに該当し、機能制御ユニットは伝送されたデータにより機能を行う方式を称し、このバス制御方式がTVに導入されることにより制御部の制御負担が減り、信号処理時間が短くなった。

【0028】図7において、制御部410では入力されたチャンネルキーがアナログTVチャンネルかまたはデジタルTVチャンネルかを判断する。制御部410は選択されたチャンネルがアナログTVチャンネルならアナログビデオモードに対するモード選択データをデータラインを通してアナログTV信号処理部100及びメモリ420に伝送し、アナログTV信号処理部100及びメモリ420を動作させる。

【0029】また、制御部410は選択されたチャネル

ルがデジタルTVチャンネルならデジタルビデオモードに対するモード選択データをデータラインを通してデジタルTV信号処理部200及びメモリ420に伝送し、デジタルTV信号処理部200及びメモリ420を動作させる。アナログビデオモードが選択される時、このメモリ420をY/C分離及び後処理のためのフレームメモリとして使用するため、アナログTV信号処理部100で処理された現在のフレームデータはデータラインを通してメモリ420に書込まれ、メモリ420に貯蔵された前のフレームデータはデータラインを通してアナログTV信号処理部100に伝送される。また、メモリ420はデジタルビデオモードが選択される時固定ビット率の伝送率を可変ビット率に変換するV B Vバッファと動き補償のためのフレームバッファとして使用するためにデジタルTV信号処理部200で処理されたデータはデータラインを通してメモリ420に書込まれ、メモリ420に貯蔵された前のデータはデータラインを通してデジタルTV信号処理部200に伝送される。

【0030】制御部410から出力されるモード選択信号によりアナログTV信号処理部100及びデジタルTV信号処理部200で処理された信号はマルチプレクサ430により切換られた後、ディスプレイ接続部440を通してディスプレイ450に表示される。図8は本発明の第3実施例によるアナログとデジタルビデオモードを有する受信器に関するブロック図である。ここでは、図5でハードウェアで構成されたメモリ制御部に対する機能、即ちモード選択信号によりアナログ信号処理部100またはデジタル信号処理部200を選択する機能がプログラム化されていて、メモリ519はデジタルビデオ復号化と、Y/C分離及び後処理のようなアナログTV信号処理のために交差的に使用される。

【0031】また、デジタルビデオ復号化機能を行うマイクロプロセッサ518でアナログビデオモード時Y/C分離及び後処理を行うことによりメモリ519を共有可能になっている。図8において、第1チューナ511ではアナログTVチャンネル受信用アンテナを通して伝送されるアナログTVチャンネルの信号で使用者の希望するチャンネルの信号のみを選択してIF信号として出力する。

【0032】第1チャンネル復調器512では第1チューナ511で選択されたチャンネルのIF信号を増幅してビデオ信号を出力する。A/D変換器513では第1チャンネル復調器512から出力されるビデオ信号をデジタル信号形に変換する。一方、第2チューナ514ではデジタルTVチャンネル受信用アンテナを通して伝送されるMPEG-2に符号化されたデジタルTV信号で所望のチャンネルの信号を選択する。

【0033】第2チャンネル復調器515では第2チューナ514を通して出力される所望のデジタルTVチャンネルの信号をMPEG-2ビットストリームで出力す

10

20

30

40

50

る。システムデコーダ516ではMPEG-2ビットストリームから再びビデオデータストリームのみを抽出する。制御部517では入力されたチャンネルキーがアナログTVチャンネルまたはデジタルTVチャンネルかを判断してアナログビデオモードまたはデジタルビデオモードを示すモード選択信号を出力する。

【0034】マイクロプロセッサ518ではモード選択信号を判断して第1入力ポートに連結されたA/D変換器513の出力を選択したり、第2入力ポートに連結されたシステムデコーダ516の出力を選択する。即ち、マイクロプロセッサ518ではアナログビデオモード時、A/D変換器513から出力されるデジタル化されたアナログTVチャンネル信号を選択して所定のプログラム命令等（例えばread from address XXXX、write to address XXX）を利用してメモリ519に書込んだり、メモリ519から読出してY/C分離及び後処理をすることになる。この際、メモリ519はY/C分離と後処理のためのフレームメモリとして使用される。

【0035】また、マイクロプロセッサ518ではデジタルビデオモード時システムデコーダ516から出力されるビデオデータストリームを所定のプログラム命令等（例えばread from address YYYY、write to address YY）を利用してメモリ519に書込んだり、メモリ519から読出してビデオ復号化する。このビデオ復号化は可変長復号化、逆量子化、逆DCT変換等を含む。この際、メモリ519は固定ビット率の伝送率を変換するV B Vバッファと動き補償のためのフレームバッファとして使用される。

【0036】図8のように、マイクロプロセッサ518の第1及び第2入力ポートを用いて信号を入力されること以外にマイクロプロセッサ518の1つの入力ポートのみを使用するため、入力ポートの前にマルチプレクサを連結して2つの入力間切換を行うように具現しうる。このような変形には図9乃至図11、図12乃至図16の実施例にも同様に適用されうる。

【0037】一方、ディスプレイ接続部520ではマイクロプロセッサ518から出力されるデジタルデータをアナログ信号形に変換し、アナログR、G、B信号としてディスプレイ521にディスプレイする。このディスプレイ接続部は信号変換器とも言われる。ここで、演算速度の非常に速い一種のマイクロプロセッサ518を使用しても高速度を要求する逆DCT変換のように、特定の機能のみはハードウェアで具現されうる。

【0038】図9乃至図11は図8に示された第3実施例の各変形例等を示し、図8に示された同一な構成に対しては同一な符号を付し、その詳細な動作説明は省略することにする。図9に示されたマイクロプロセッサ522はアナログビデオモード時A/D変換器513から出力されるデジタル化されたアナログTVチャンネル信号を入力して図8で説明されたようにメモリ519を用い

てY/C分離及び後処理を行う。

【0039】また、マイクロプロセッサ522はデジタルビデオモード時、第2チャンネル復調器515からMPEG-2ビットストリームを入力され制御部517の制御下でMPEG-2ビットストリームからビデオデータストリームを選択抽出した後、ビデオデコーダ523に出力する。ビデオデコーダ523では抽出されたビデオデータストリームをビデオデータに復元する。

【0040】この際、マイクロプロセッサ522はビデオデコーダ523に必要なV B Vバッファ、フレームバッファ及びディスプレイバッファとしてメモリ519を使用しうるようにメモリ接続経路を提供する。マルチプレクサ524は制御部517からのモード選択信号によりマイクロプロセッサ522から出力されるデジタル化されたアナログ信号またはビデオデコーダ523で復元されたビデオデータを選択して選択された信号をディスプレイ接続部520に供給する。

【0041】図10に示されたマイクロプロセッサ525はアナログビデオモード時（図9で説明したように）、Y/C分離及び後処理を行い、デジタルビデオモード時にはMPEG-2システムデコーディング及びビデオデコーディングを行う。即ち、デジタルビデオモードの場合、第2チャンネル復調器515からMPEG-2ビットストリームを入力されビデオデータストリームを抽出した後、抽出されたビデオデータストリームからビデオデータを復元するまでにマイクロプロセッサ525により行う。

【0042】図11に示されたマイクロプロセッサ527はアナログビデオモード時とデジタルビデオモード時の各場合にメモリ519を共有しうるようにするメモリ制御機能及びアナログモード時には図9及び図10で説明したようにY/C分離及び後処理を行う。一方、デジタルビデオモード時にはMPEG-2システムデコーディング及びビデオデコーディングはシステム及びビデオデコーダ526により行われる。そしてマルチプレクサ528は制御部517からのモード選択信号によりマイクロプロセッサ527から出力されるデジタル化されたアナログ信号またはシステム及びビデオデコーダ526から出力される復元されたビデオデータを選択して選択された信号をディスプレイ接続部520に供給する。

【0043】図12は本発明の第4実施例によるアナログとデジタルビデオモードを有する受信器のブロック図であって、図8と同一な構成の第1チューナ611、第1チャンネル復調器612、第2チューナ614、第2チャンネル復調器615とシステムデコーダ616、ディスプレイ接続部620とディスプレイ621の詳細な動作は略する。

【0044】図8に示された第3実施例ではメモリ制御機能がマイクロプロセッサ518にプログラム化されている反面、第4実施例では3-D (dimensional) Y/C

分離または後処理のようなアナログ処理はマイクロプロセッサ618の外部に分離されたアナログ処理器613で行われる。アナログ処理器613の詳しい構成は図13に示されたようにA/D変換器701、アナログTV信号処理器702及びD/A変換器703となっている。

【0045】A/D変換器701で図12の第1チャンネル復調器612から出力されるチャンネル復調された信号をデジタルデータに変換する。このデジタルデータはアナログTV信号処理器702に入力された後、メモリ制御器として動作するマイクロプロセッサ618を通してメモリ619に貯蔵される。メモリ619に貯蔵されたアナログTV信号はY/C分離または後処理のためアナログTV信号処理器702により使用される。アナログTV信号処理器702で処理された出力は読出される前にメモリ619に一時的に貯蔵され、D/A変換器703でアナログ信号に変換される。

【0046】一方、デジタルビデオサービスの場合、MPEG-2ビットストリームはシステムデコーダ616でビデオデータストリームに復号化され、このビデオデータストリームはマイクロプロセッサ618によりビデオデータに復元される。復元されたデータはD/A変換器623でアナログ信号に変換される。チャンネルキー入力によりモードを認識する制御部617から出力されるモード選択信号によりマルチプレクサ622はアナログ処理器613で処理されたアナログTV信号またはD/A変換器623から出力されるアナログビデオ信号を選択する。

【0047】この際、図12のディスプレイ接続部620はアナログ信号に変換されたデータを受入れR、G、B信号に変換してディスプレイ621に出力する。この変形例として、ディスプレイ接続部620はアナログ処理器613の構成要素の中1つのデジタル/アナログ変換器703及びデジタル/アナログ変換器623が通じ合われた形で内部に具現しうるが、この際、マルチプレクサ622はデジタル信号を入力してアナログ信号に変換した後アナログR、G、B信号でディスプレイ621に出力する。このような変形例には図14、図15及び図16にも適用される。

【0048】一方、図12の実施例はマイクロプロセッサ618を使用してソフトウェアによりMPEG復号化を具現する程度に依存して多少変形されうる。図14乃至図16は図12に示された第4実施例の変形例等であって、図12に示された同一な構成に対しては同一な符号を付し、その詳細な動作説明は略する。図14に示されたマイクロプロセッサ801はメモリ619の制御のみを行う。MPEG-2ビットストリーム復号化とビデオデータストリーム復号化はマイクロプロセッサ801の外部にあるシステム及びビデオデコーダ802により行われる。

【0049】図15に示されたマイクロプロセッサ803はMPEG-2ビットストリーム復号化とビデオデータストリームの復号化を全て行う。図16に示されたマイクロプロセッサ804はMPEG-2ビットストリーム復号化を行うが、ビデオデータストリーム復号化はマイクロプロセッサ804の外部にあるビデオデコーダ805により行われる。

【0050】

【発明の効果】本発明はアナログビデオサービスとデジタルビデオサービスを両方受信する受信器において、アナログTVチャンネル受信時、アナログTV信号処理中必要なフレームメモリをデジタルビデオ復号化のため具備した大容量のメモリを利用することによりデジタルビデオ復号用メモリの効率性を高め、システムのコストを低める効果がある。

【図面の簡単な説明】

【図1】従来のアナログTVのブロック図である。

【図2】従来のデジタルTVのブロック図である。

【図3】STBを具備した従来のアナログTVの概略図である。

【図4】従来のアナログビデオモードを有するデジタルTVの概略図である。

【図5】本発明によるアナログとデジタルビデオモードを有する受信器の一実施例による概念的ブロック図である。

【図6】図5に示されたメモリ制御部の詳細図である。

【図7】本発明によるアナログとデジタルビデオモードを有する受信器の第2実施例によるブロック図である。

【図8】本発明によるアナログとデジタルビデオモードを有する受信器の第3実施例によるブロック図である。

【図9】図8に示された第3実施例の変形例である。

【図10】図8の第3実施例の他の変形例である。

【図11】図8の第3実施例の更に他の変形例である。

【図12】本発明によるアナログとデジタルビデオモードを有する受信器の第4実施例によるブロック図である。

【図13】図12に示されたアナログ処理器の詳細ブロック図である。

【図14】図10に示された第4実施例の変形例である。

【図15】図10の第4実施例の他の変形例である。

【図16】図10の第4実施例の更に他の変形例である。

【符号の説明】

100 アナログテレビ信号処理部

200 デジタルテレビ信号処理部

310 制御部

320 メモリ制御部

330 メモリ

350 ディスプレイ接続部

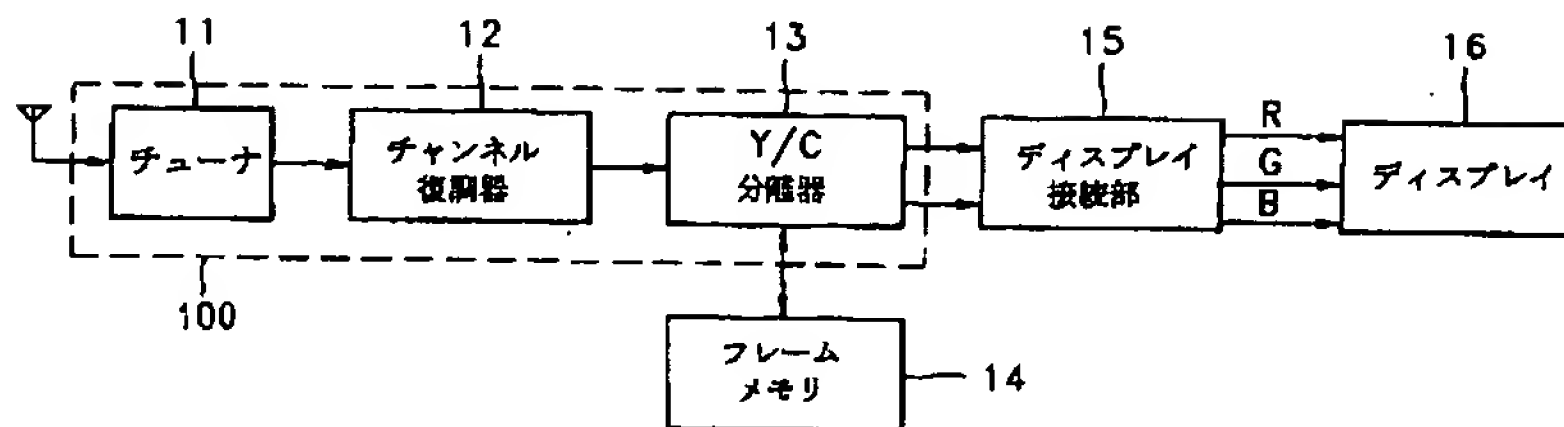
360 ディスプレイ
 410 制御部
 420 メモリ
 440 ディスプレイ接続部
 450 ディスプレイ
 511 第1チューナ
 512 第1チャンネル復調器
 513 A/D変換器
 514 第2チューナ
 515 第2チャンネル復調器
 516 システムデコーダ
 517 制御部
 518 マイクロプロセッサ
 519 メモリ
 520 ディスプレイ接続部
 521 ディスプレイ
 522 マイクロプロセッサ
 523 ビデオデコーダ
 525 マイクロプロセッサ
 526 システム及びビデオデコーダ
 527 マイクロプロセッサ

* 611 第1チューナ
 612 第1チャンネル復調器
 613 アナログ処理器
 614 第2チューナ
 615 第2チャンネル復調器
 616 システムデコーダ
 617 制御部
 618 マイクロプロセッサ
 619 メモリ
 10 620 ディスプレイ接続部
 621 ディスプレイ
 623 D/A変換器
 701 A/D変換器
 702 アナログTV信号処理器
 703 D/A変換器
 801 マイクロプロセッサ
 802 システム及びビデオデコーダ
 803 マイクロプロセッサ
 804 マイクロプロセッサ
 20 805 ビデオデコーダ

*

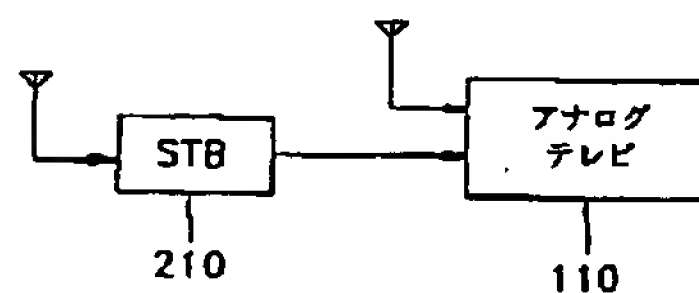
【図1】

(従来の技術)

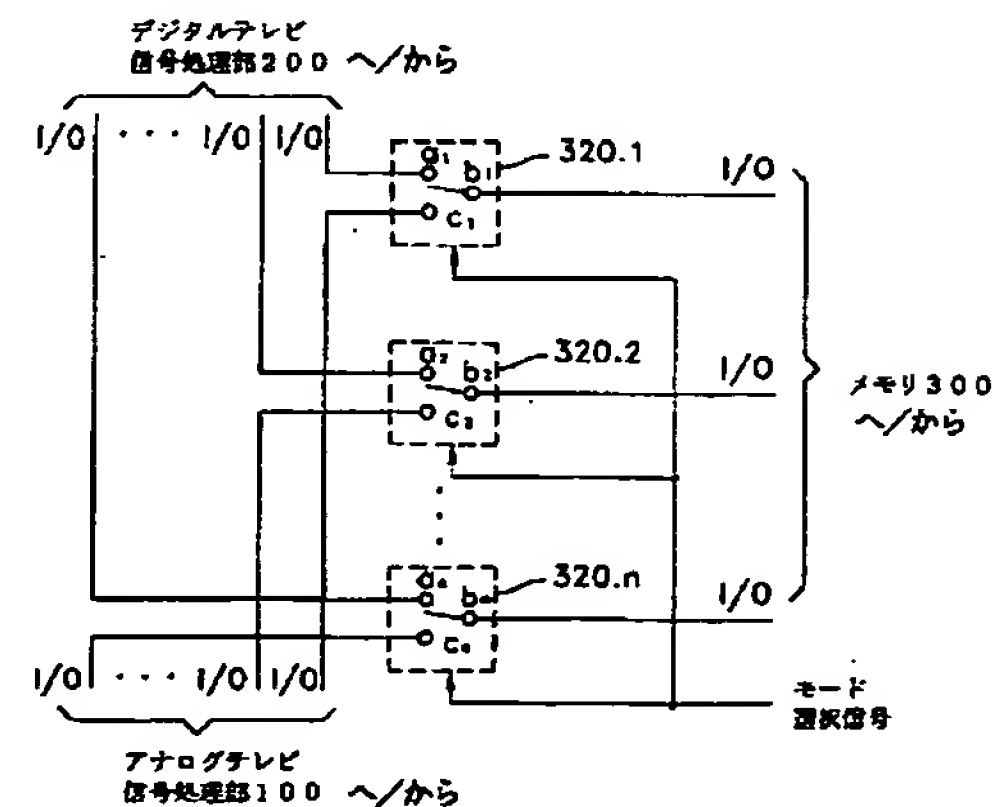


【図3】

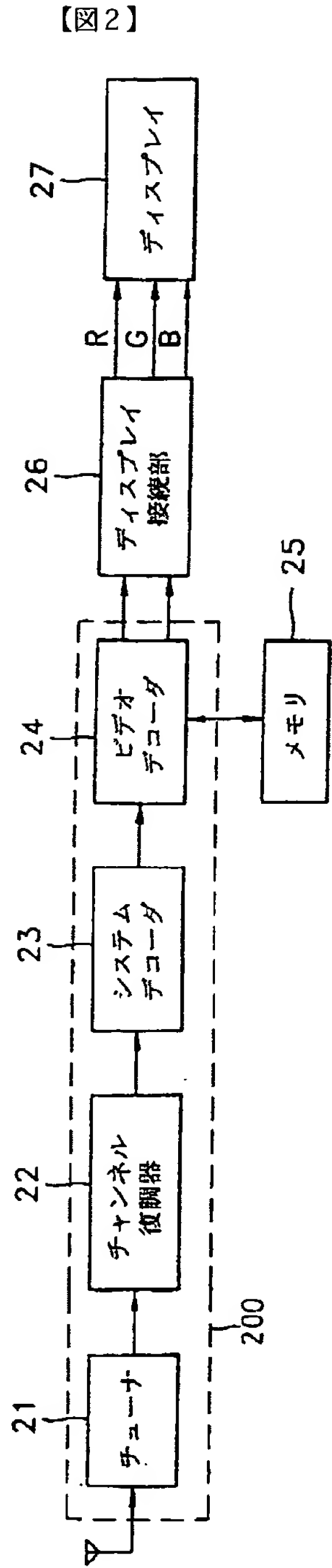
(従来の技術)



【図6】

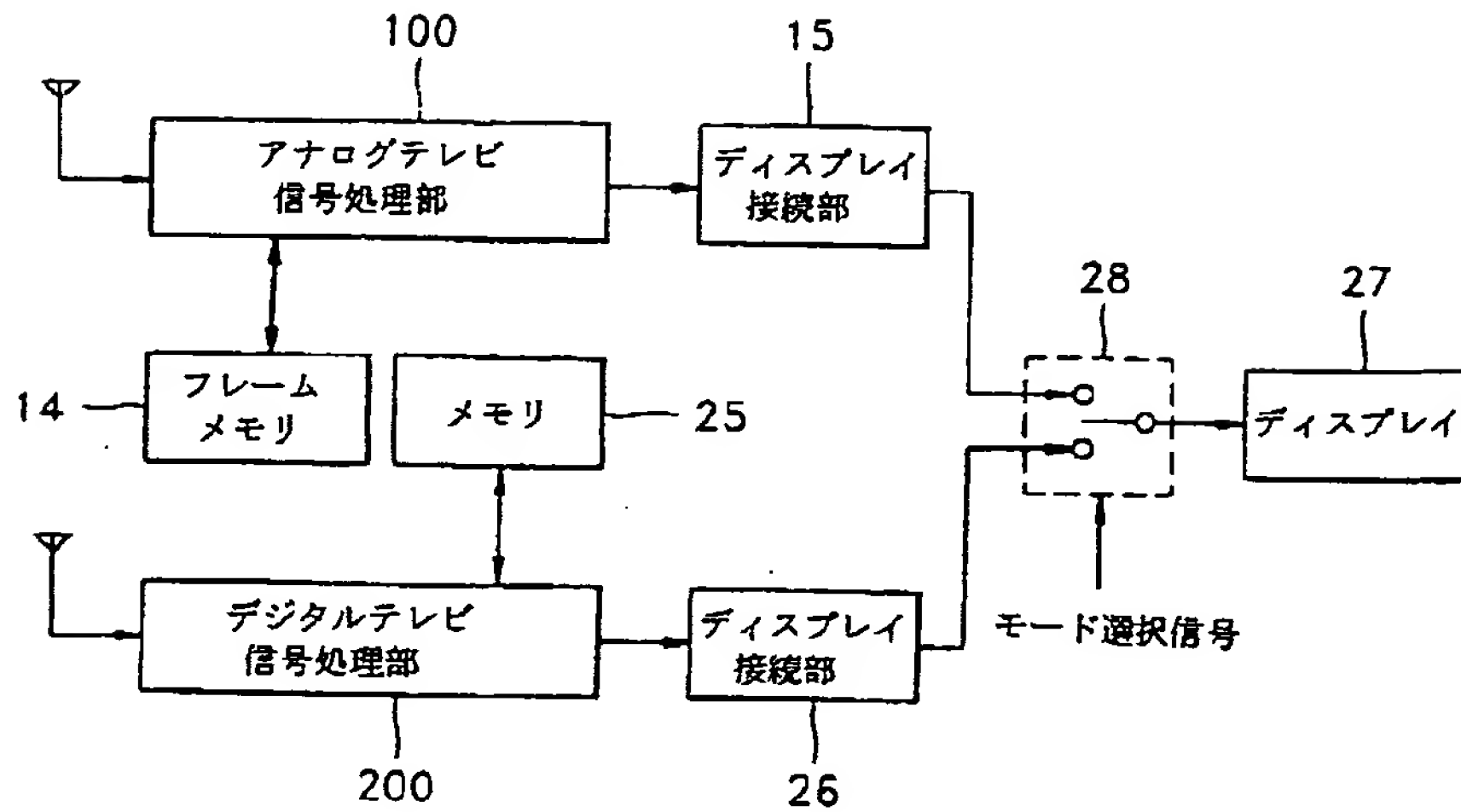


(従来の技術)

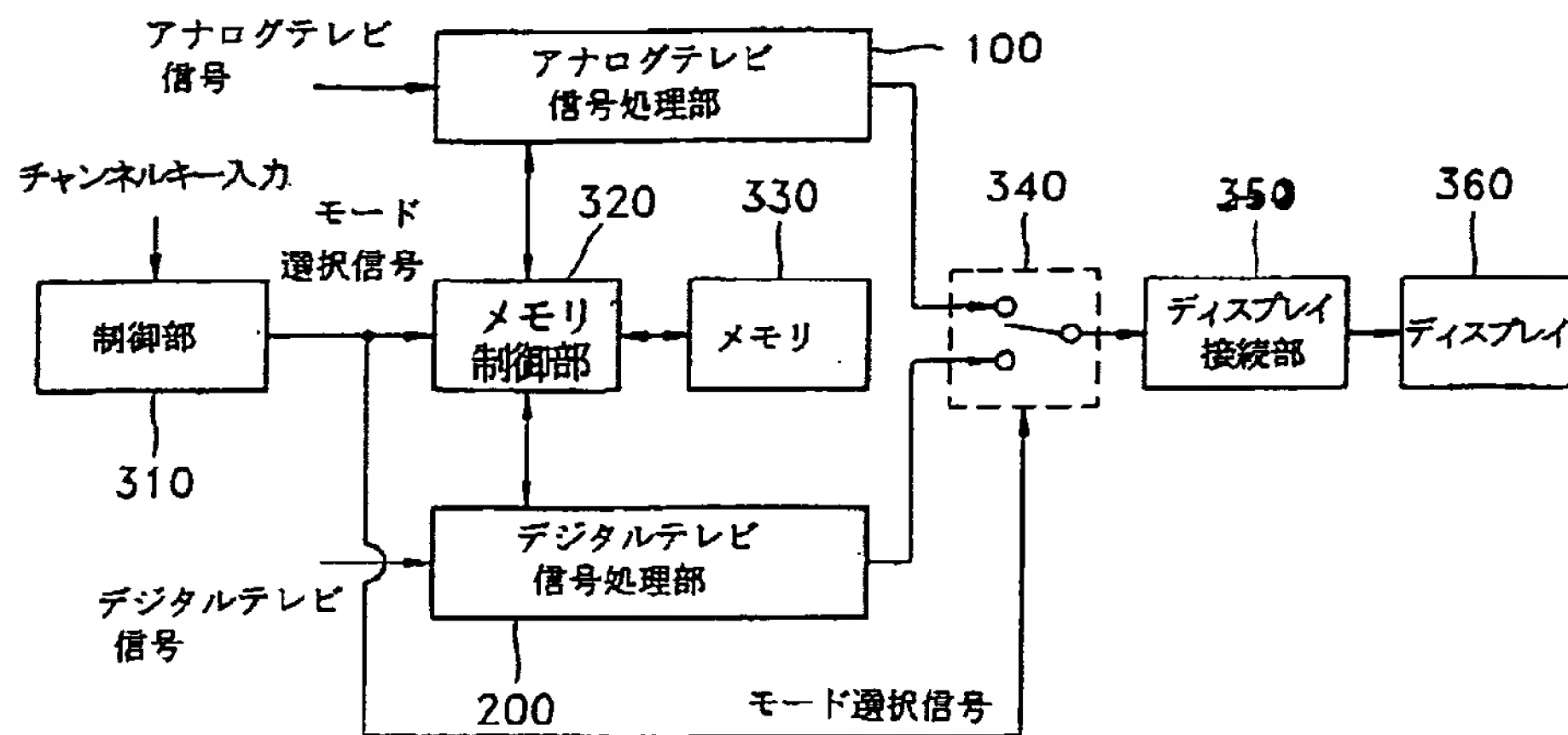


【図4】

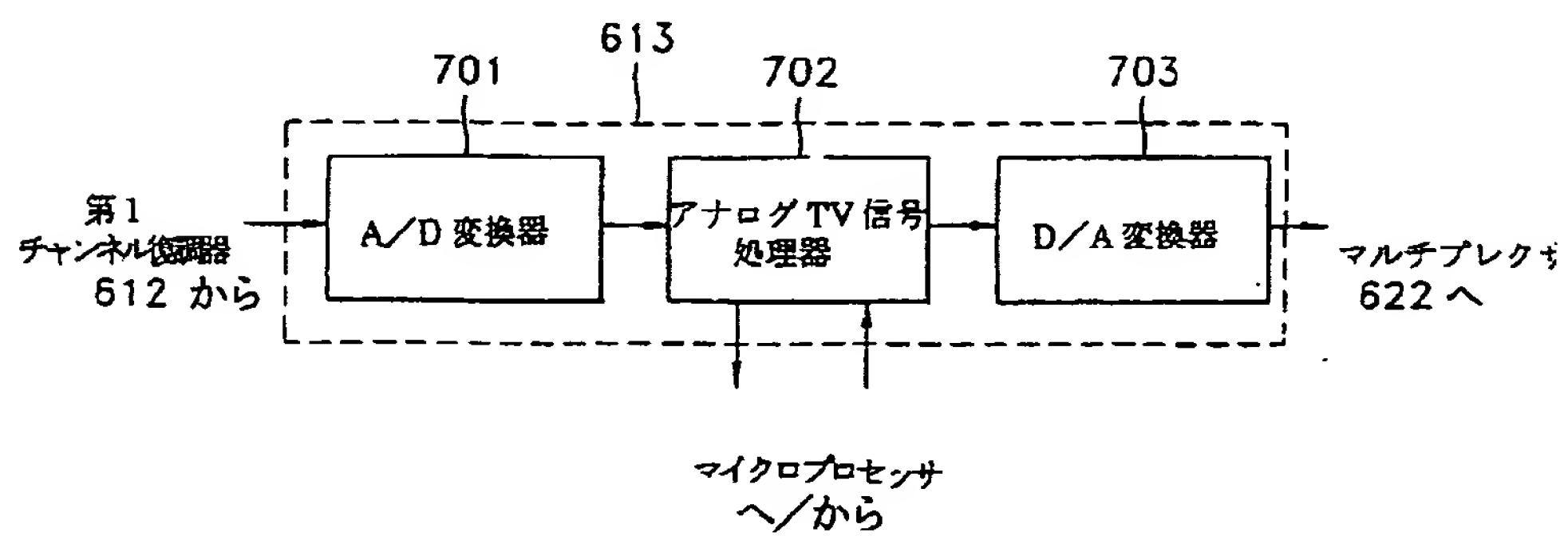
(従来の技術)



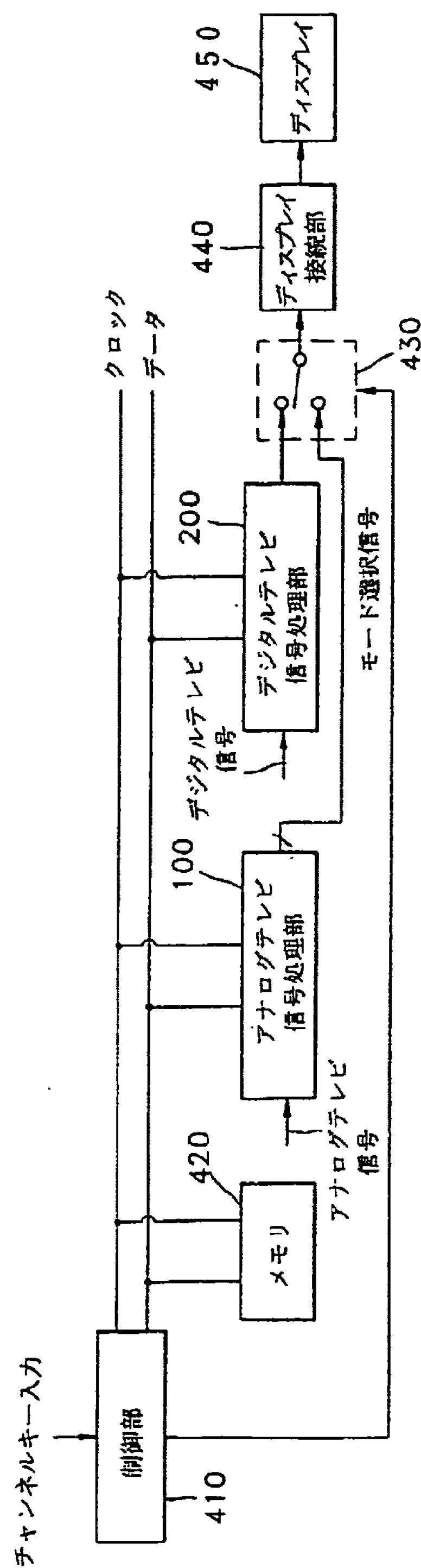
【図5】



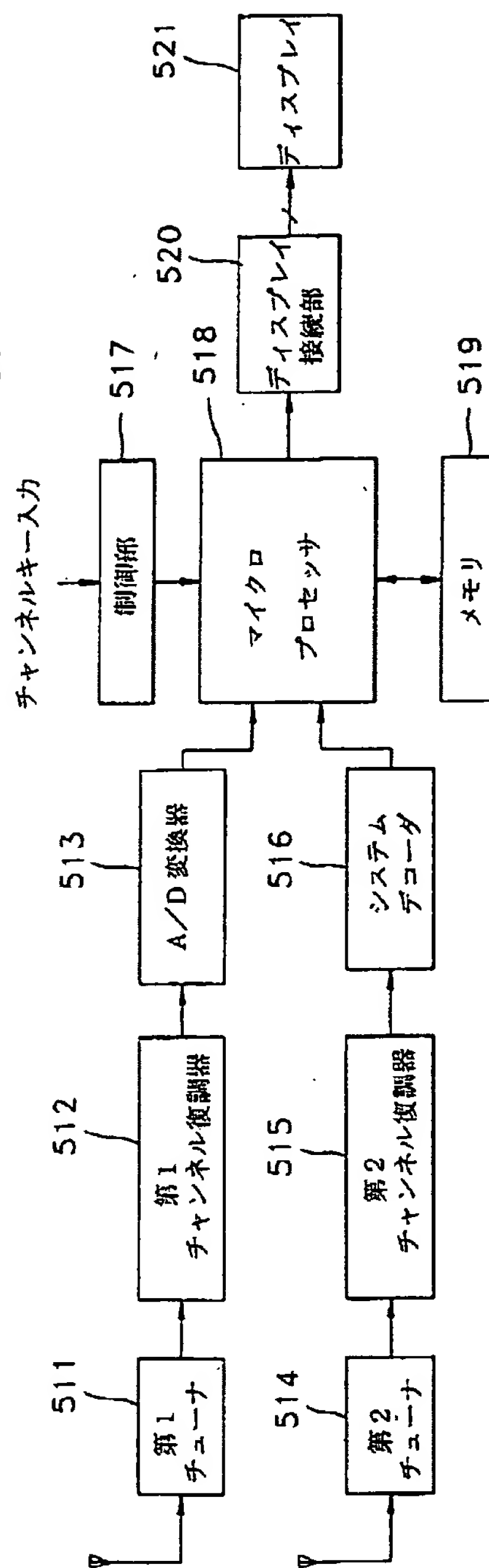
【図13】



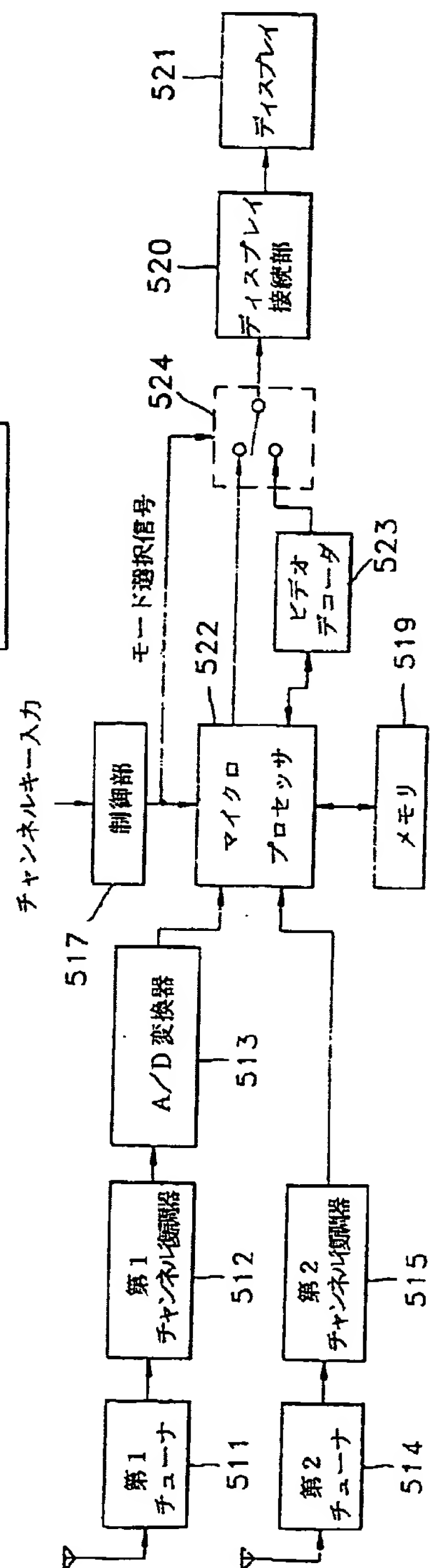
【図7】



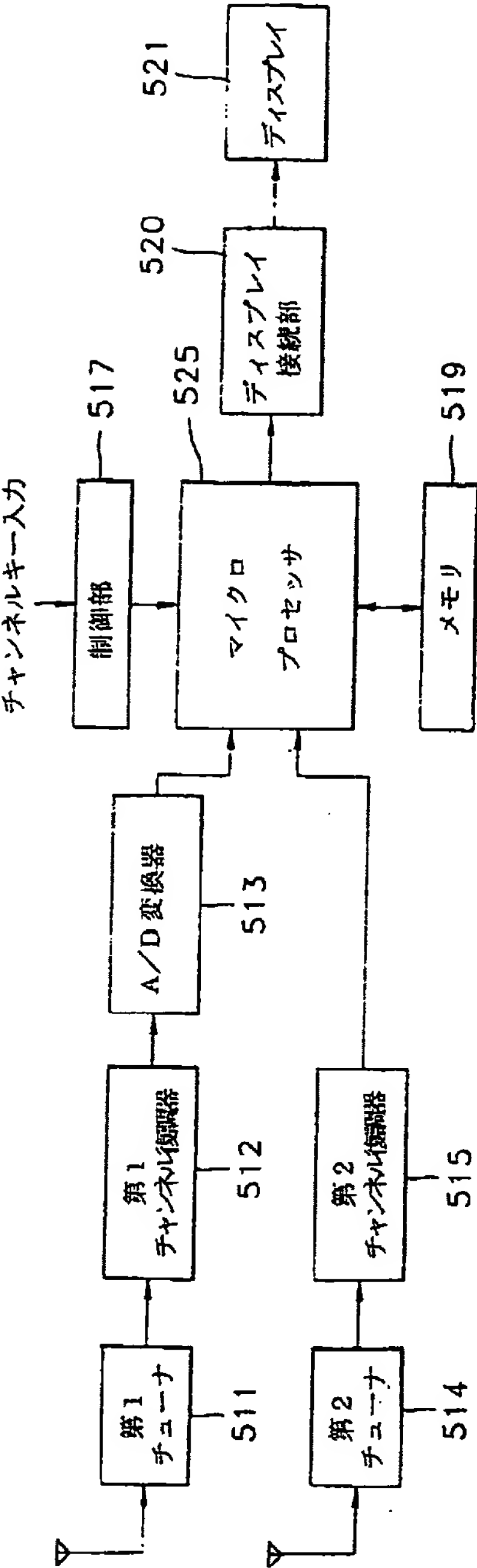
【図8】



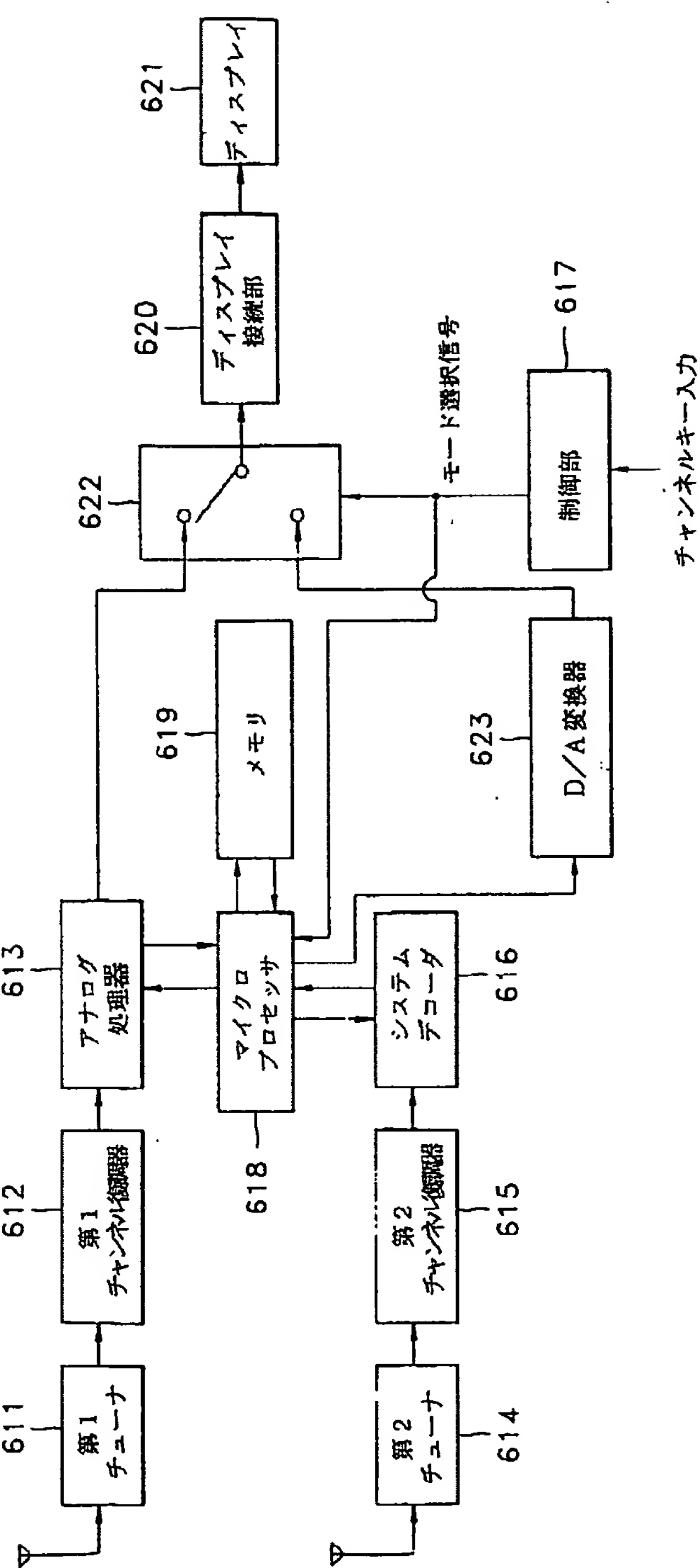
【図9】



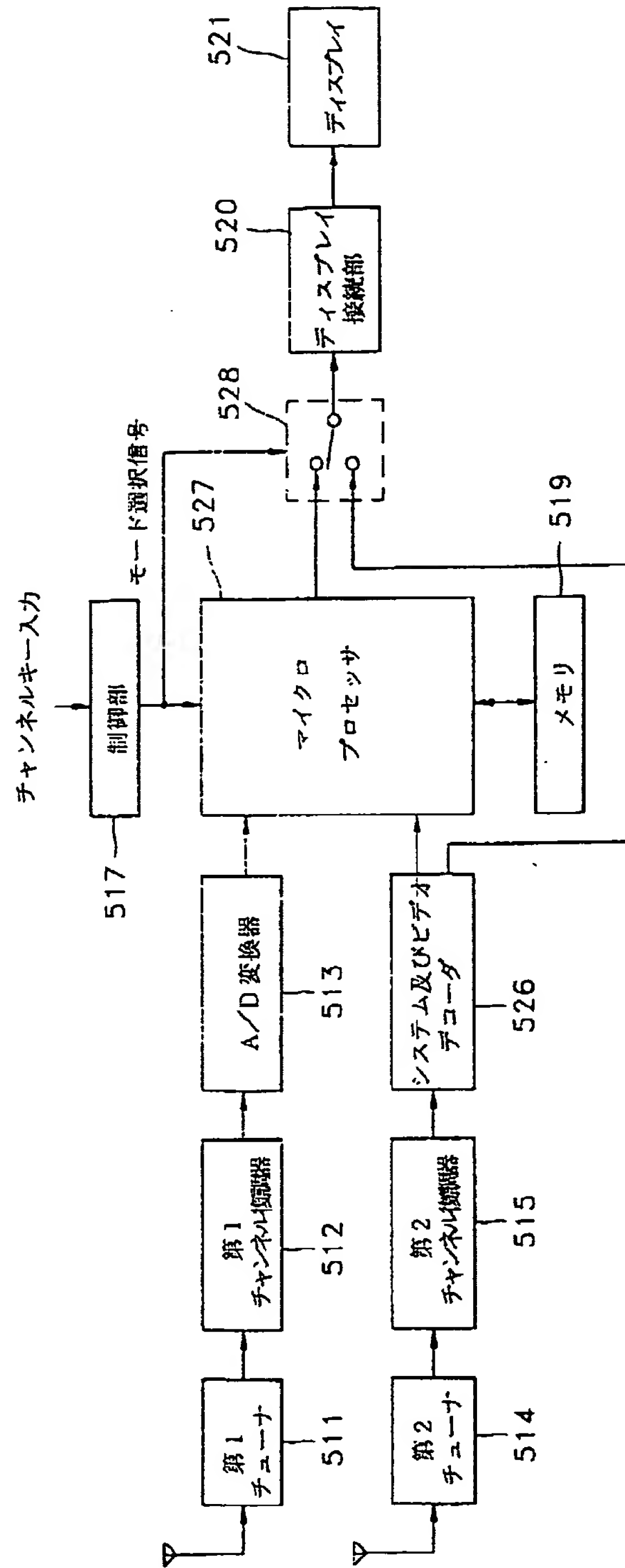
【図10】



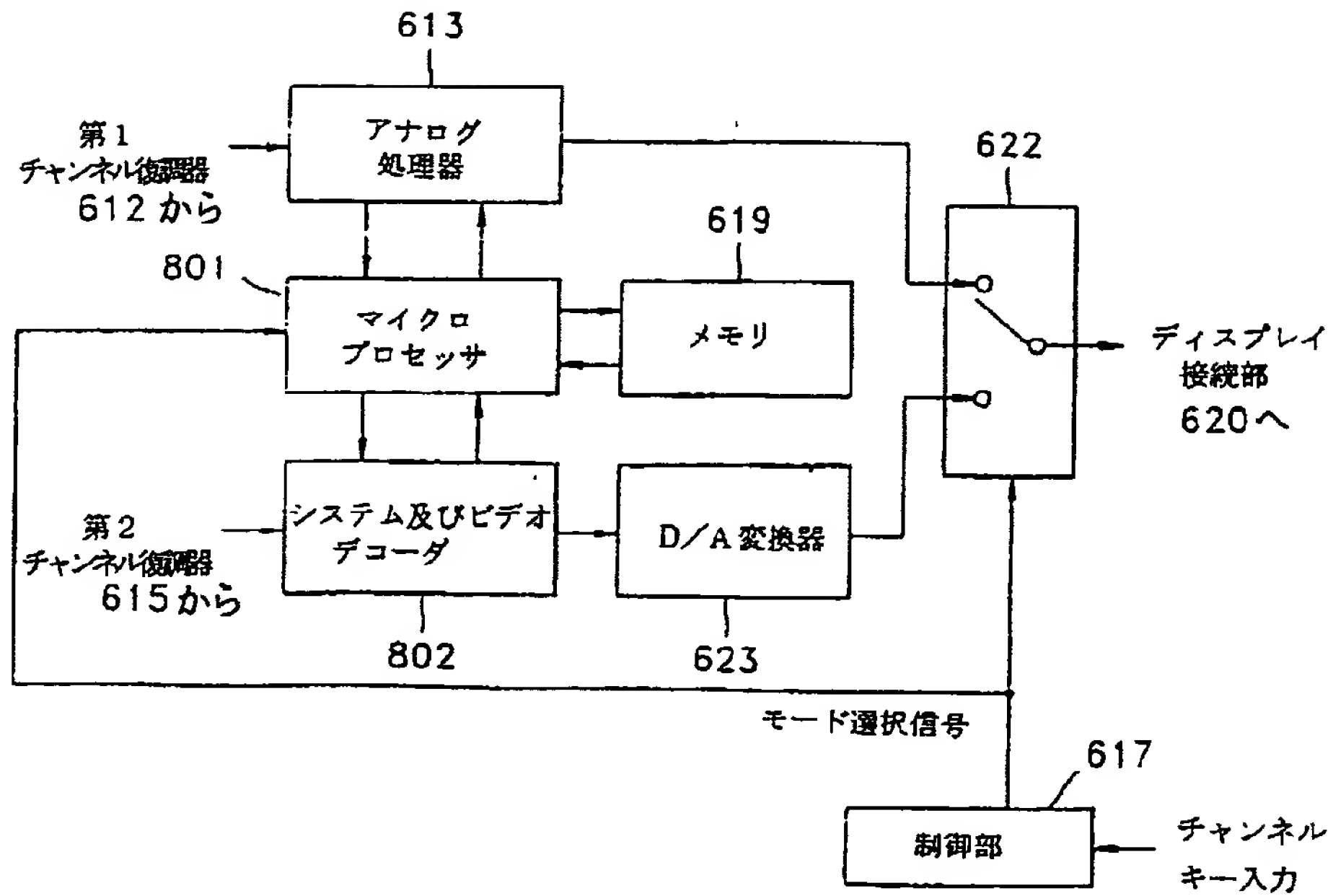
【図12】



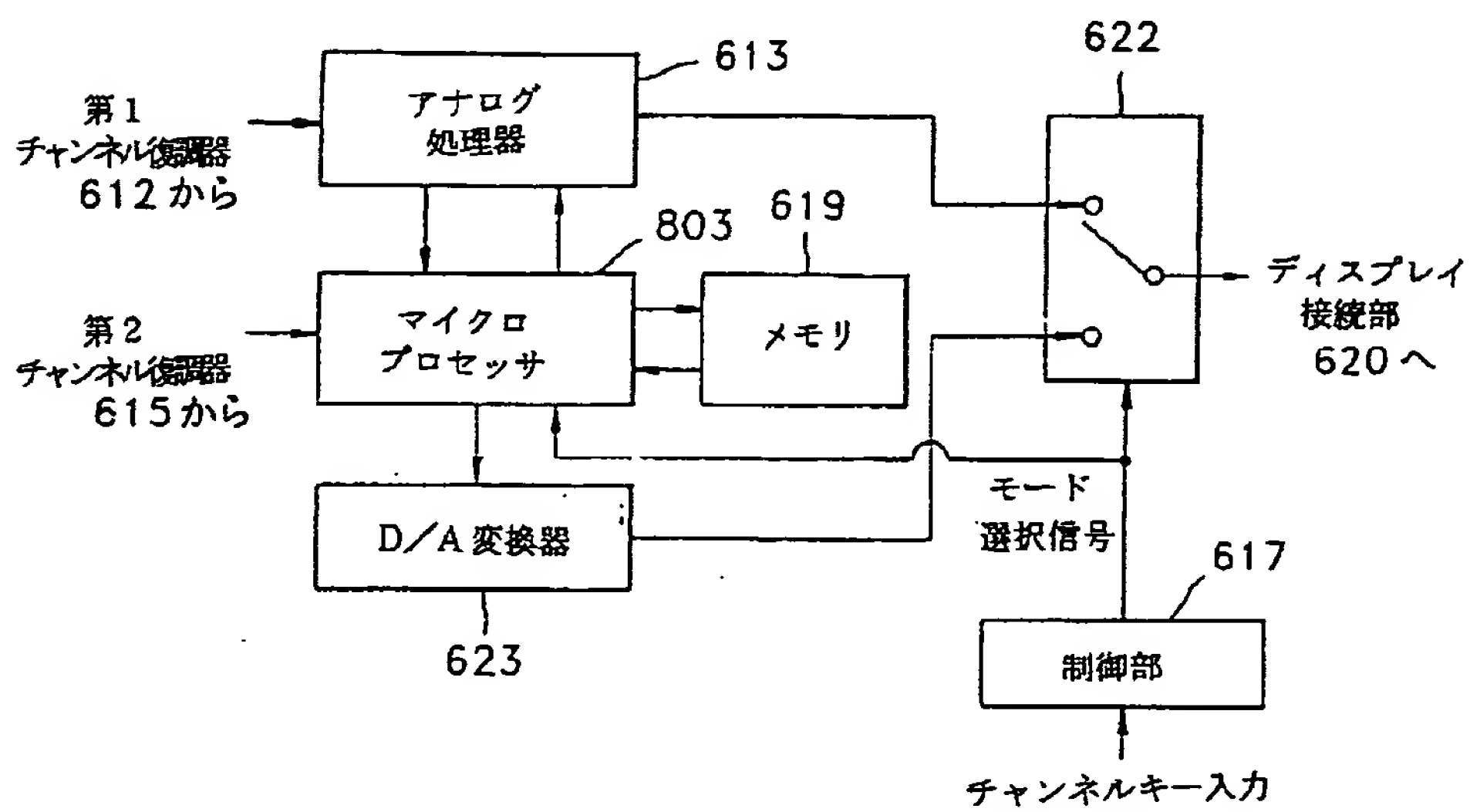
【図11】



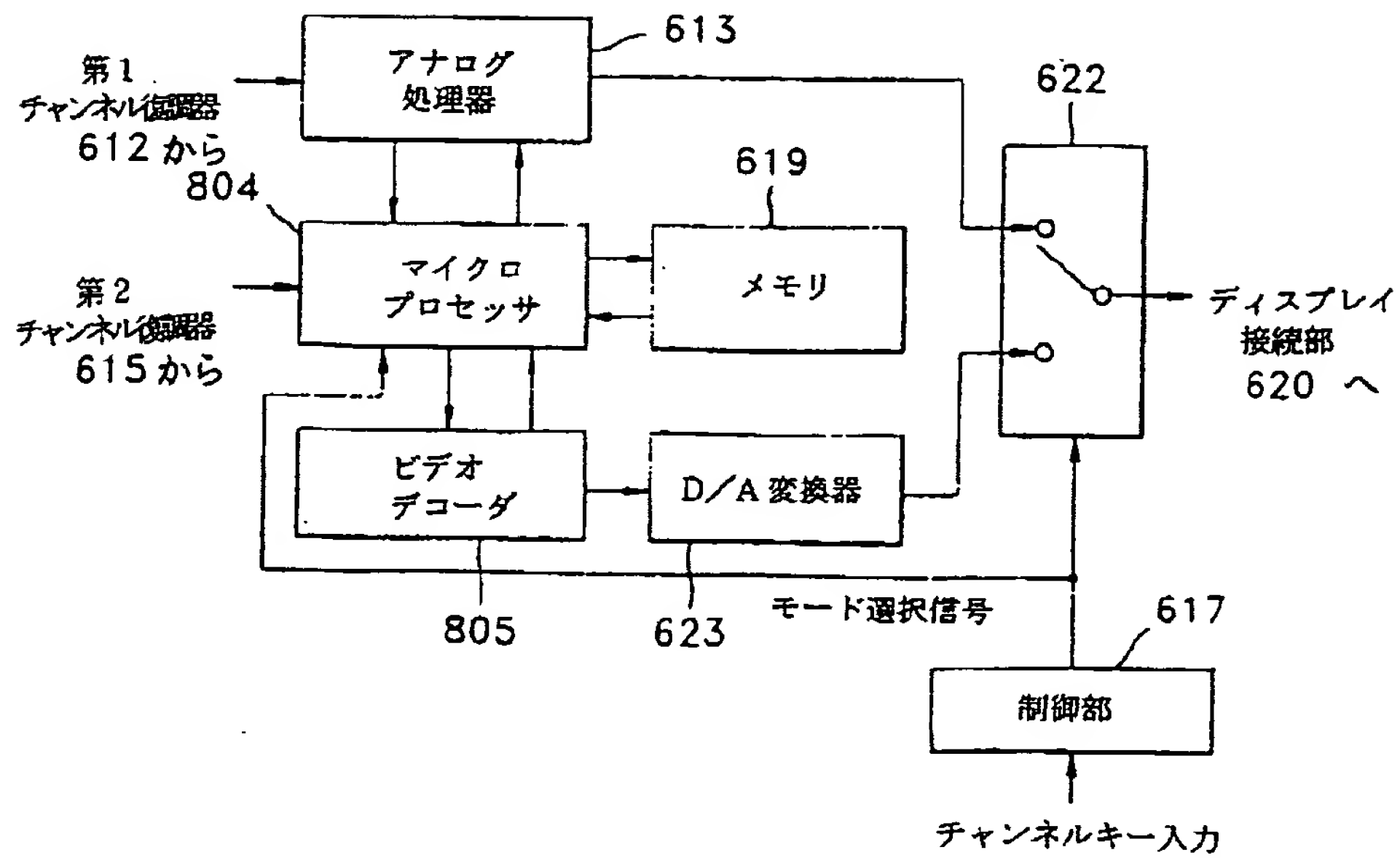
【図14】



【図15】



【図16】





US005926228A

United States Patent [19]

Jeon et al.

[11] **Patent Number:** 5,926,228[45] **Date of Patent:** Jul. 20, 1999[54] **RECEIVER HAVING ANALOG AND DIGITAL VIDEO MODES AND RECEIVING METHOD THEREOF**[75] **Inventors:** Byeungwoo Jeon, Seongnam; Dong-il Song, Suwon, both of Rep. of Korea[73] **Assignee:** Samsung Electronics Co., Ltd., Kyungki-do, Rep. of Korea[21] **Appl. No.:** 08/719,626[22] **Filed:** Sep. 25, 1996[30] **Foreign Application Priority Data**

Sep. 29, 1995 [KR] Rep. of Korea 95-32893

[51] **Int. Cl.⁶** H04N 5/46[52] **U.S. Cl.** 348/554; 348/555; 348/557; 348/706[58] **Field of Search** 348/553, 555, 348/554, 557, 558, 705, 706, 725, 728; H04N 5/46, 5/44[56] **References Cited****U.S. PATENT DOCUMENTS**

5,257,106	10/1993	Maruoka	348/706
5,448,300	9/1995	Yamada	348/705
5,675,390	10/1997	Schindler	348/725

Primary Examiner—Sherric Hsia*Attorney, Agent, or Firm*—Sughrue, Mion, Zinn, Macpeak & Seas, PLLC[57] **ABSTRACT**

In a receiver having both an analog video service mode and a digital video mode, when the analog video mode is selected according to a mode selection signal indicating that a television channel is for the analog video mode or the digital video mode, a large-capacity memory used for the digital video-decoding may also be used as a frame memory for Y/C separation and post-processing, for enhancing picture quality, improving the efficiency of the memory and reducing the cost of a system.

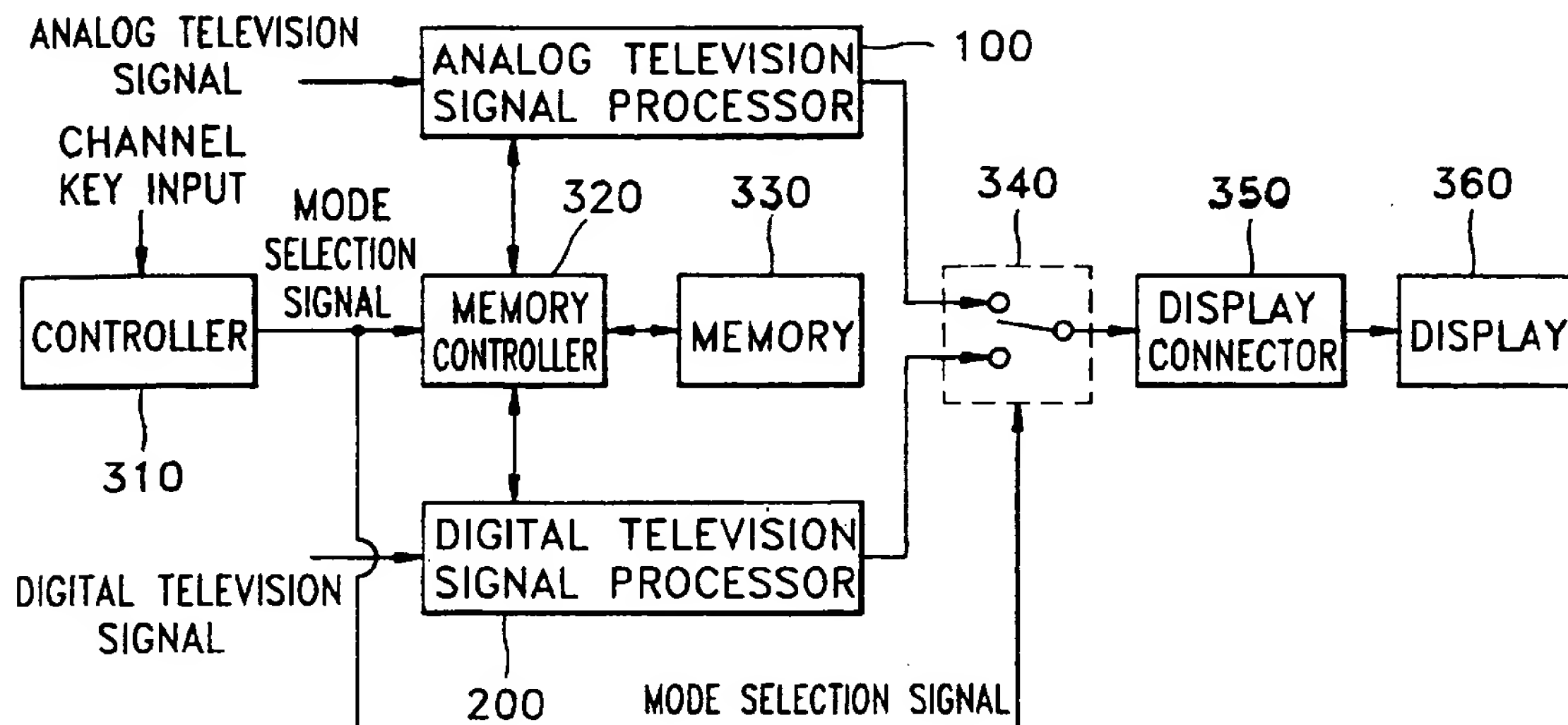
63 Claims, 12 Drawing Sheets

FIG. 1 (PRIOR ART)

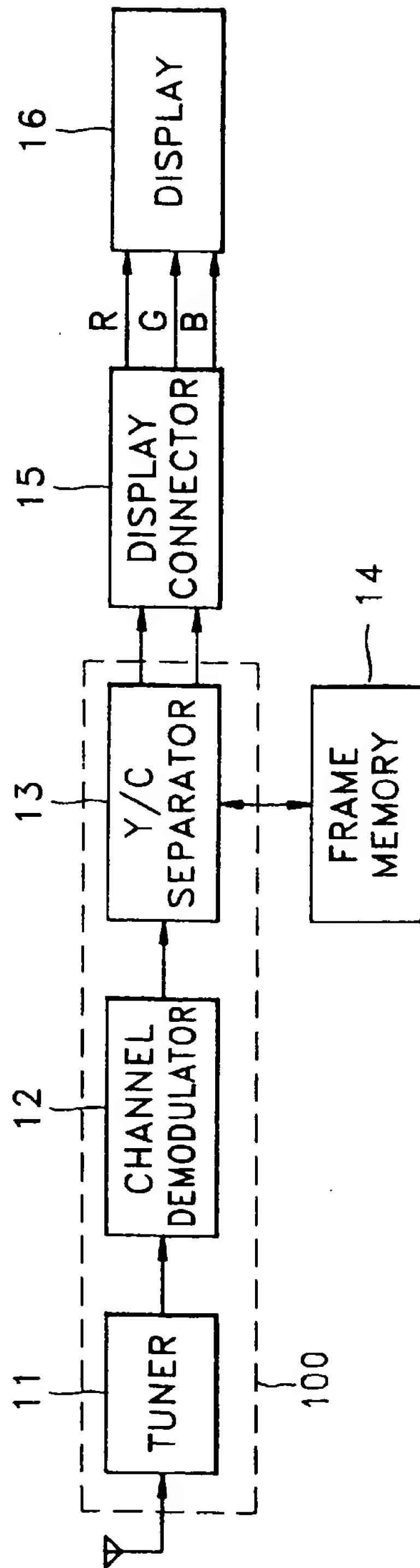


FIG. 2 (PRIOR ART)

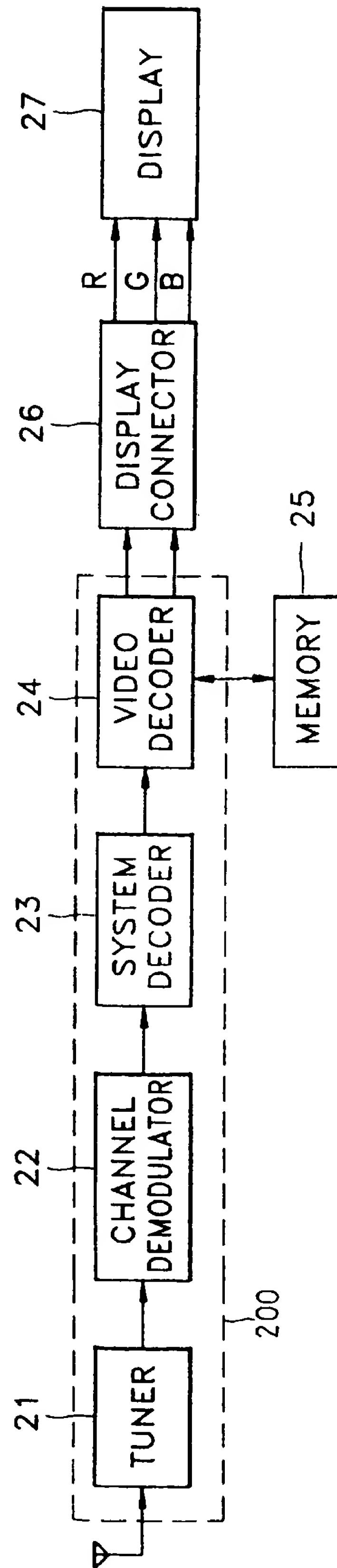


FIG. 3 (PRIOR ART)

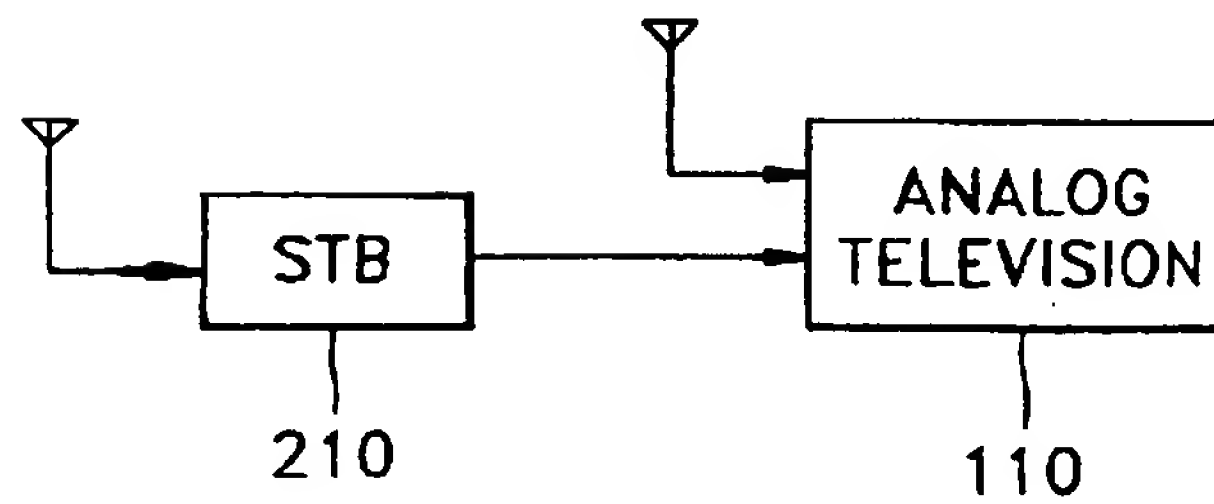


FIG. 4 (PRIOR ART)

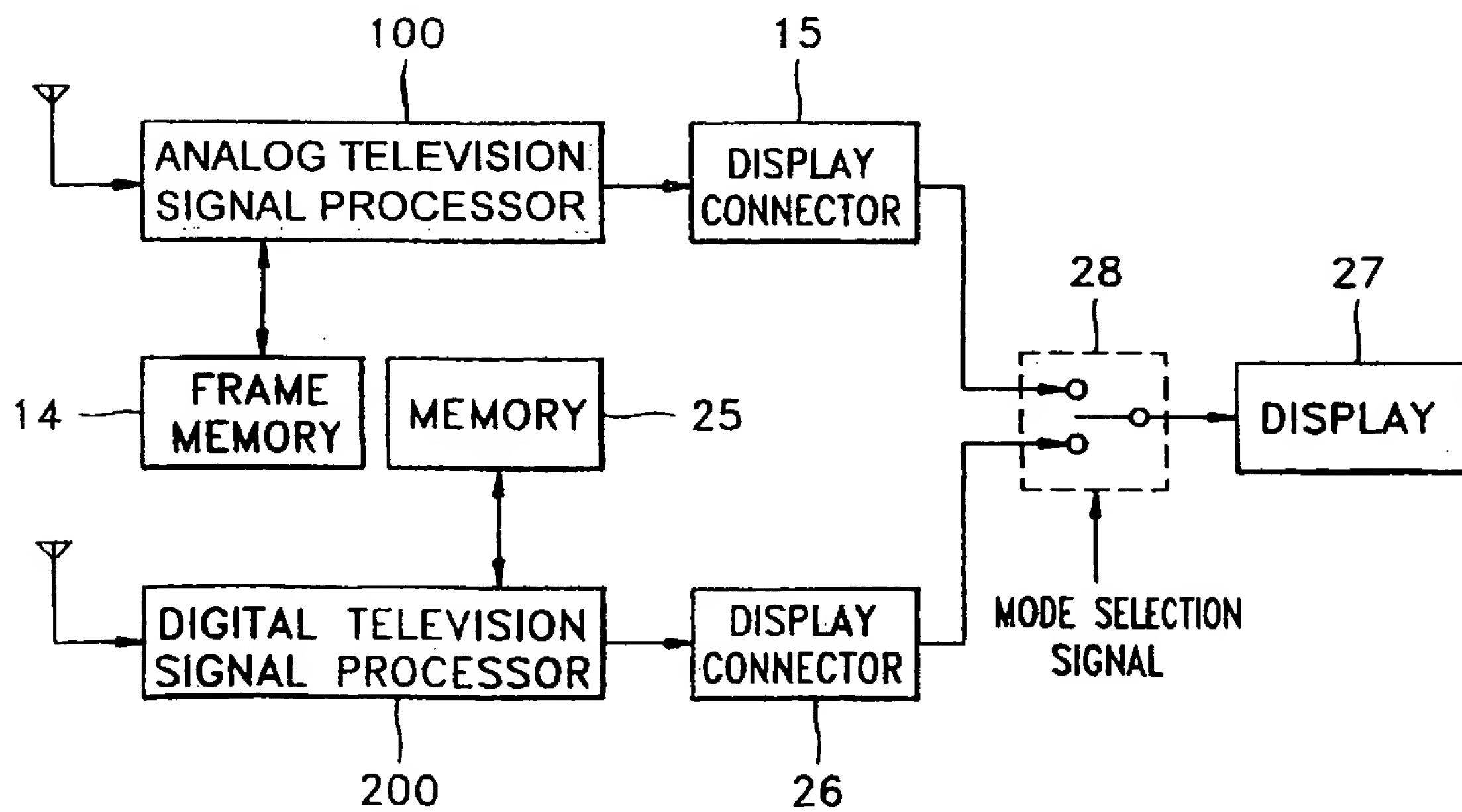


FIG. 5

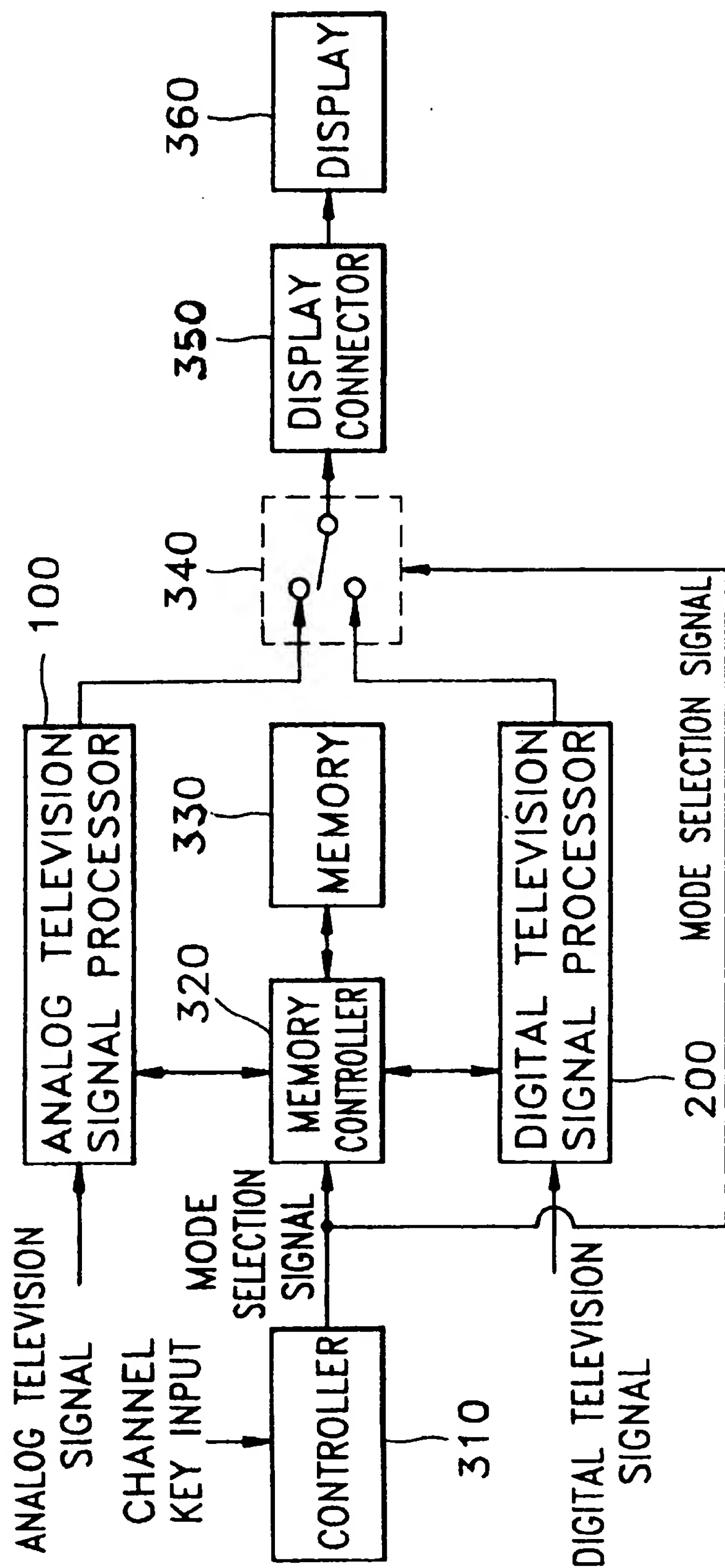


FIG. 6

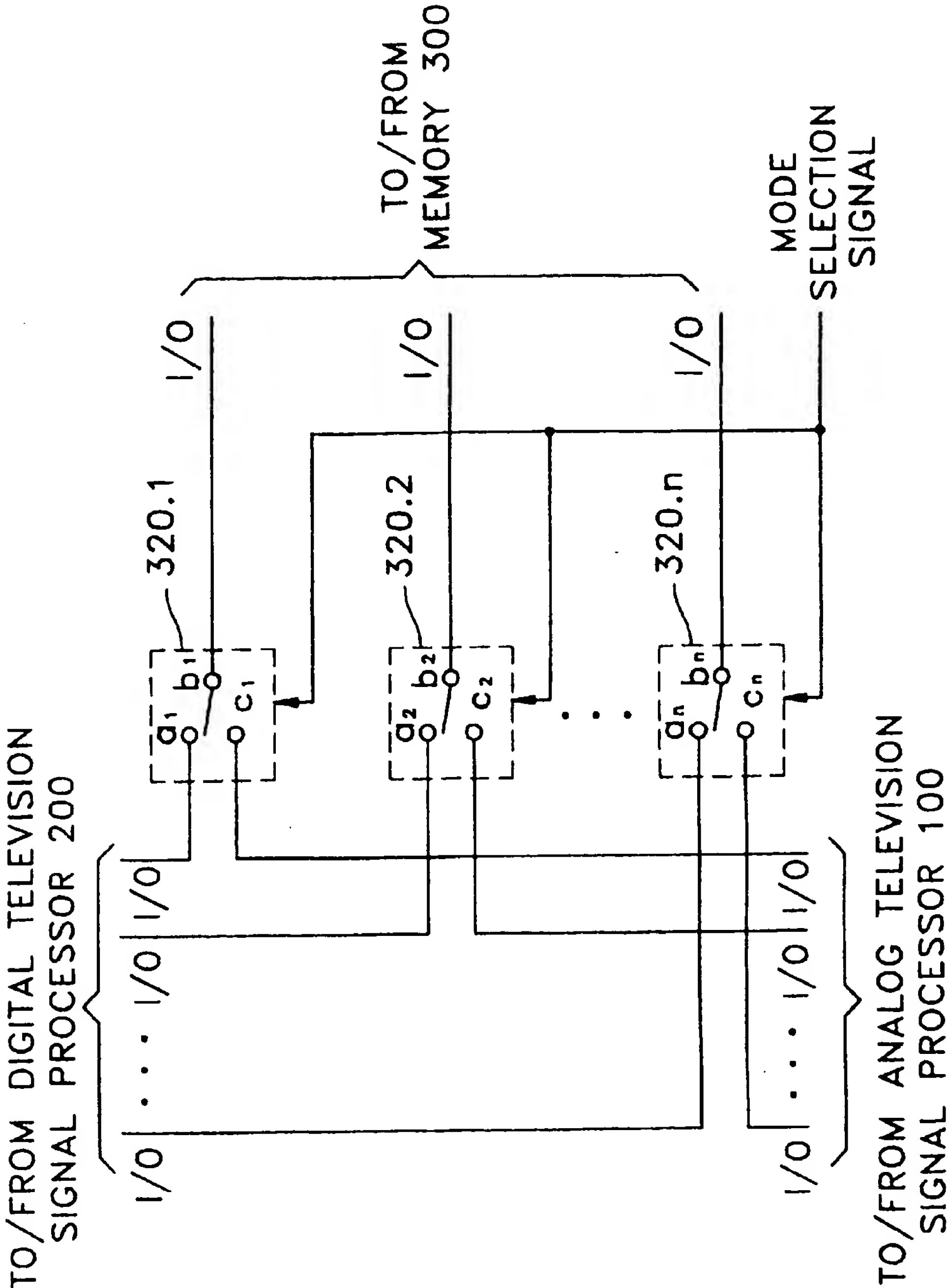


FIG. 7

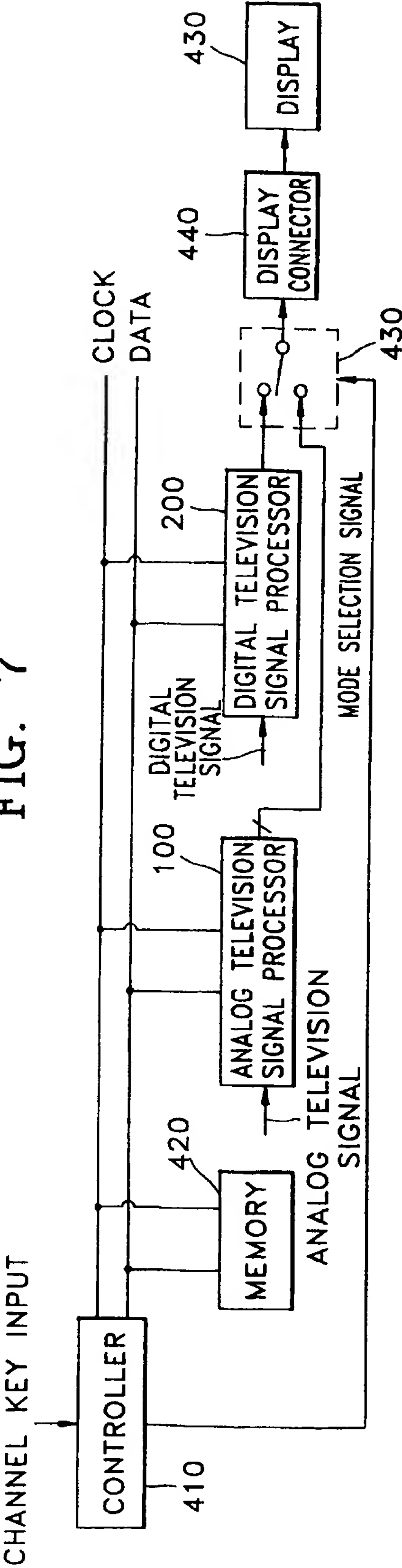


FIG. 8

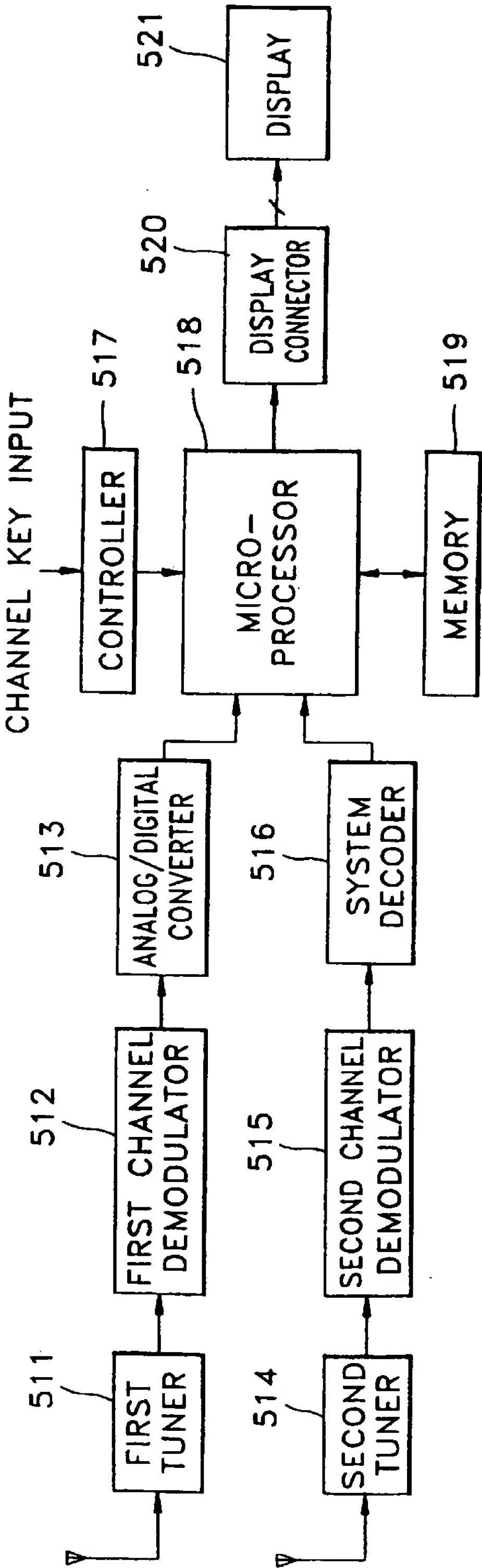


FIG. 9A

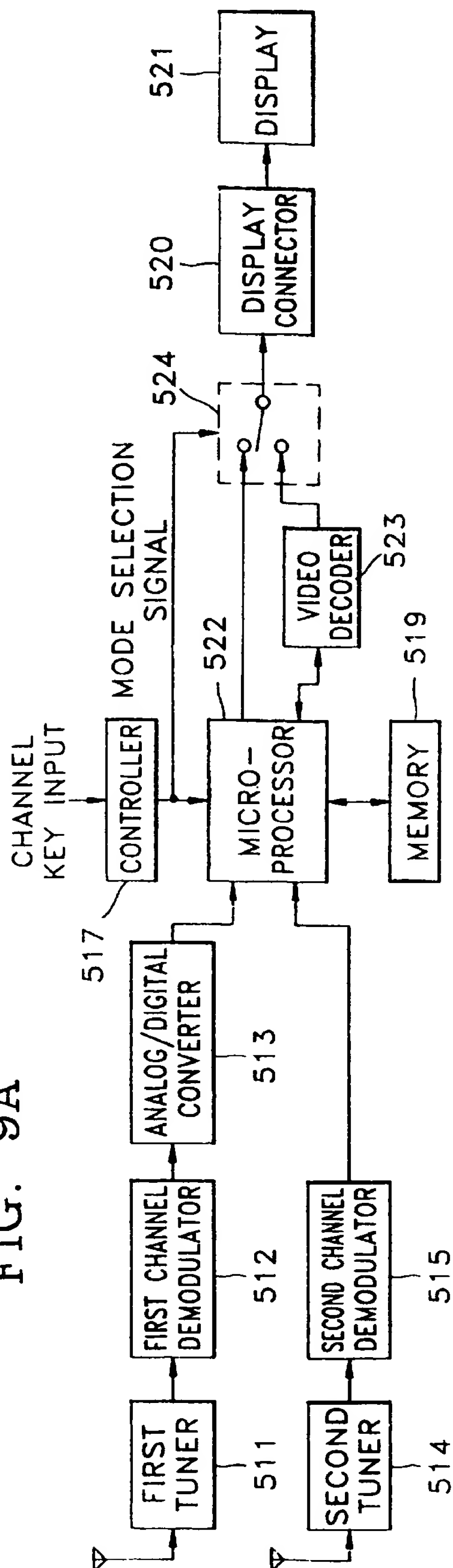


FIG. 9B

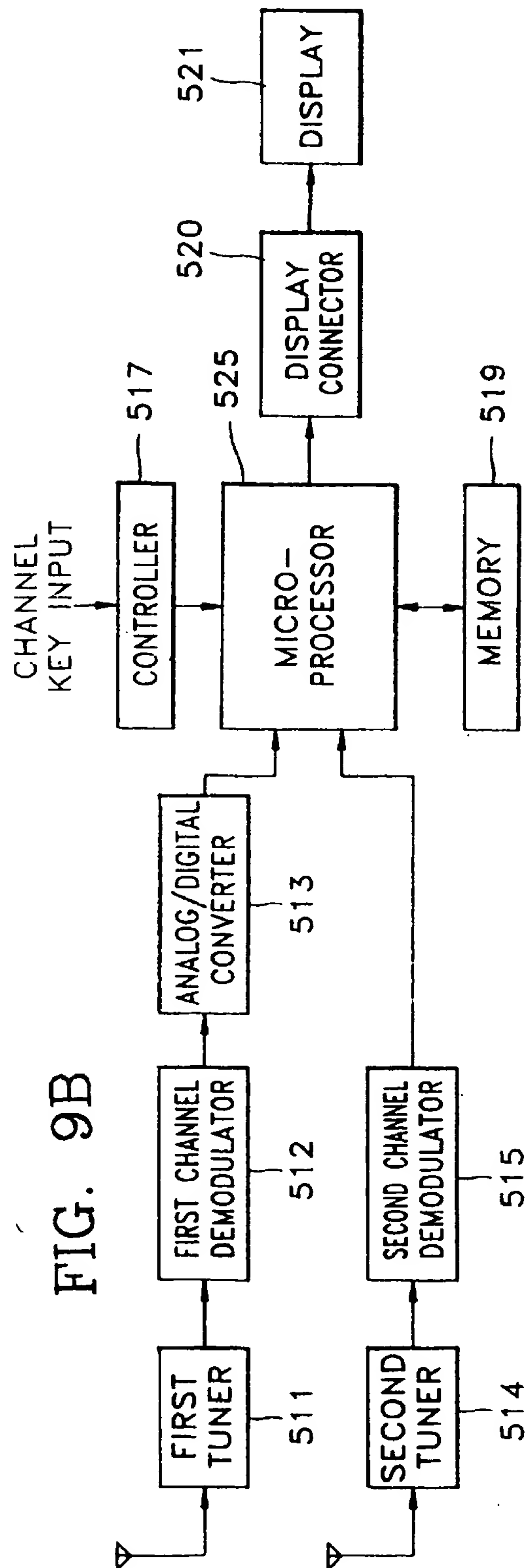


FIG. 9C

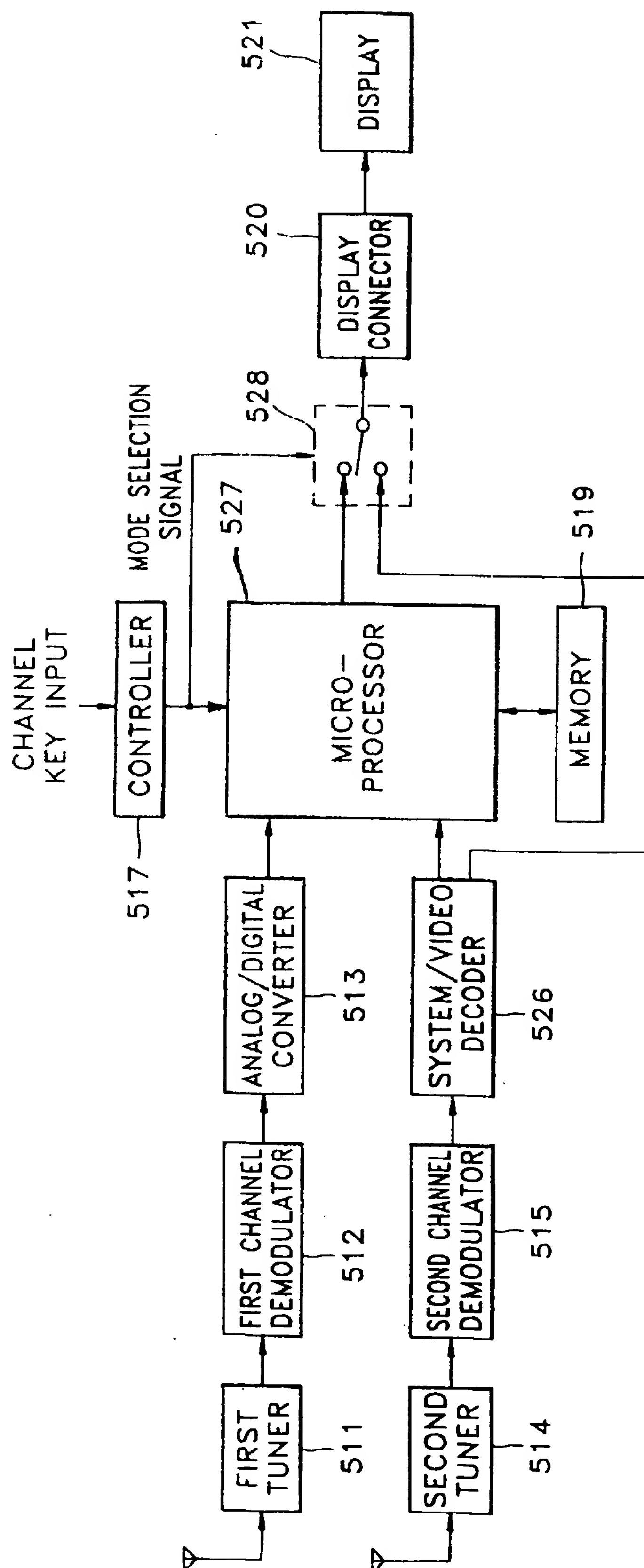


FIG. 10

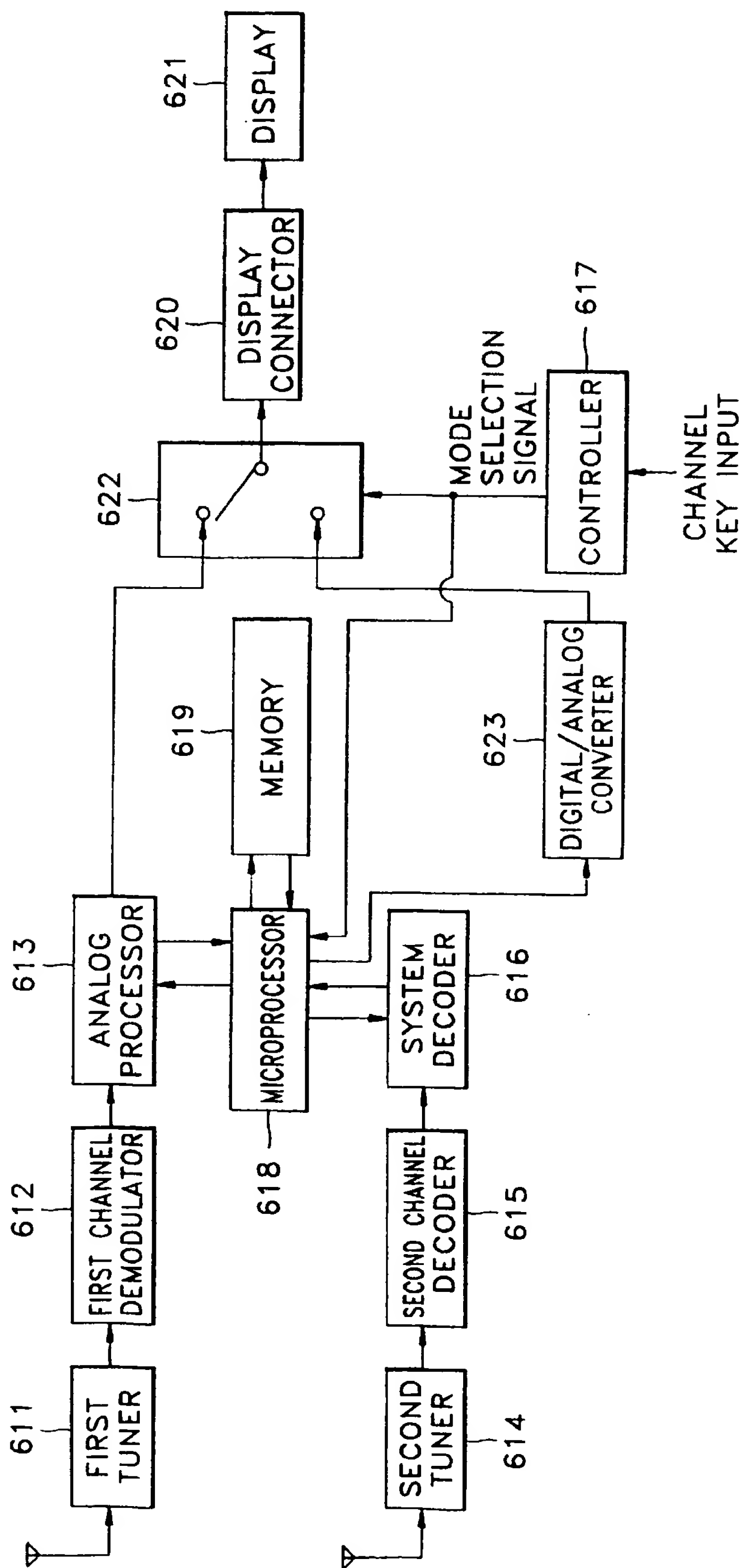


FIG. 11

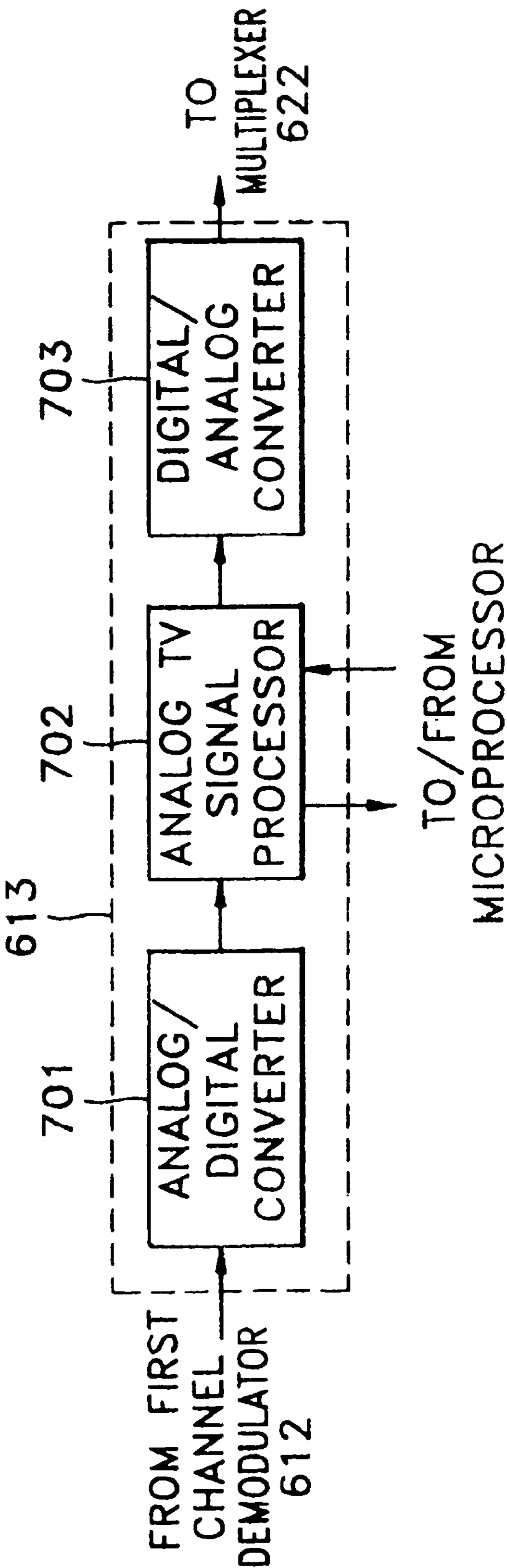


FIG. 12A

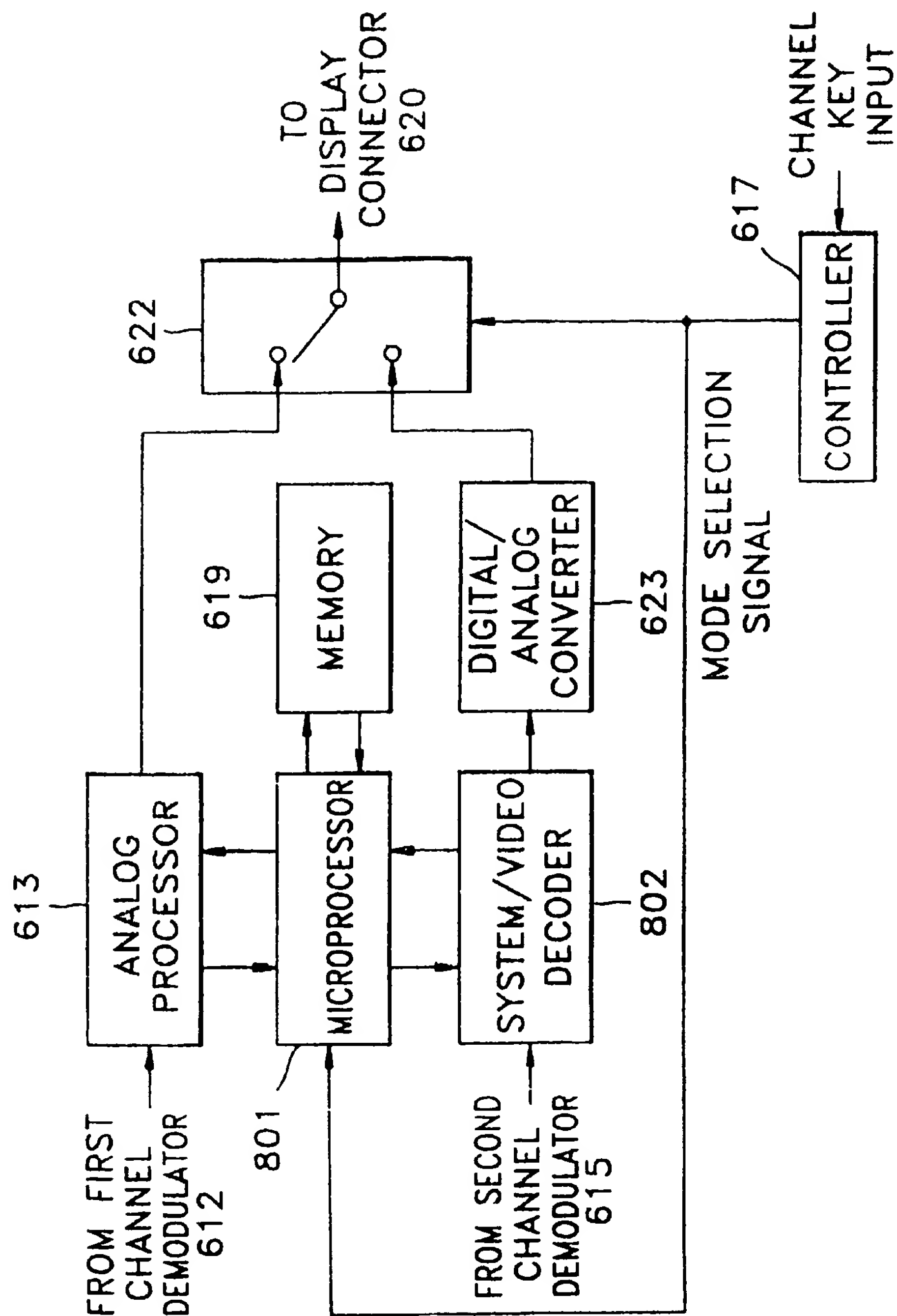


FIG. 12B

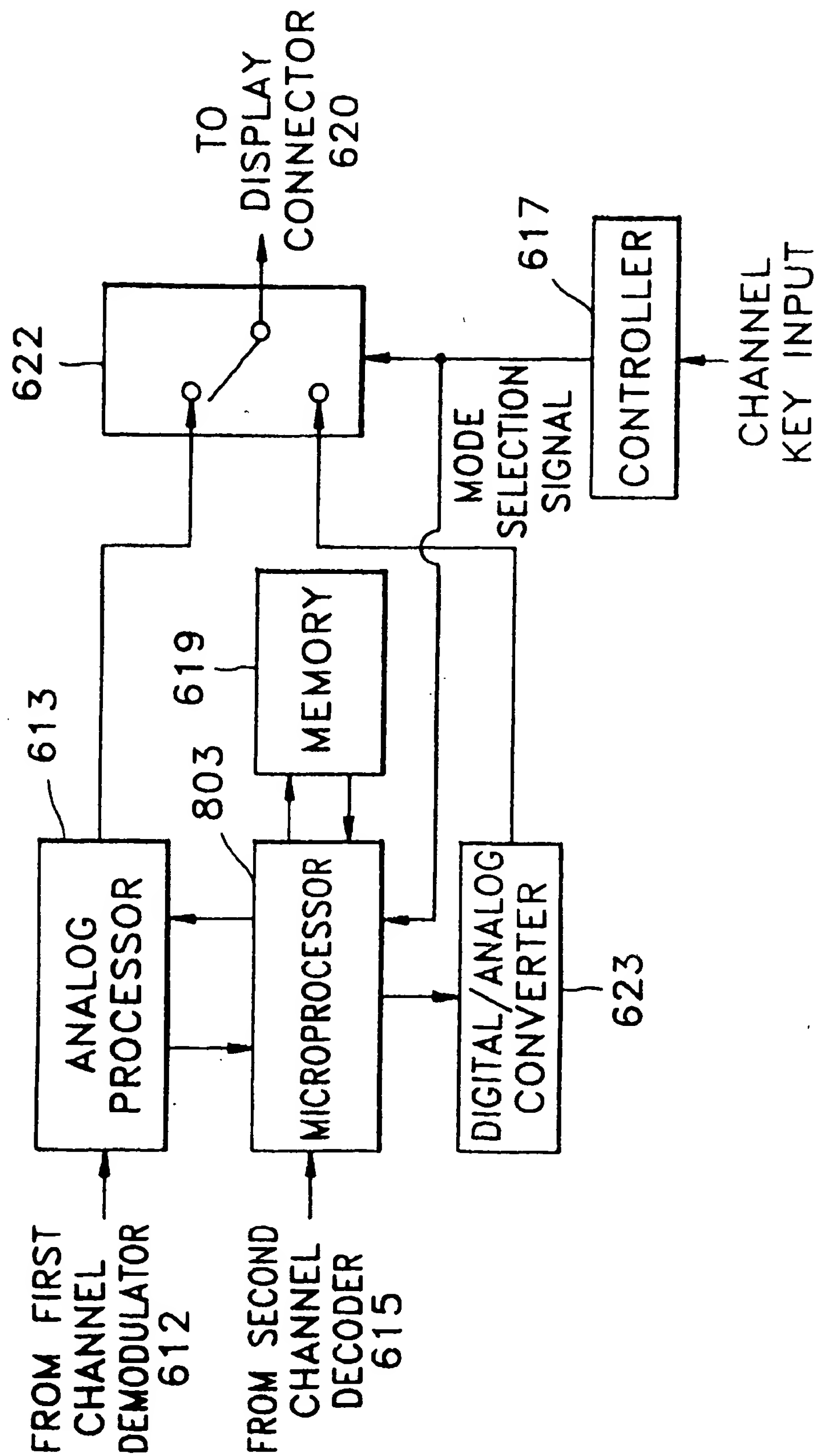
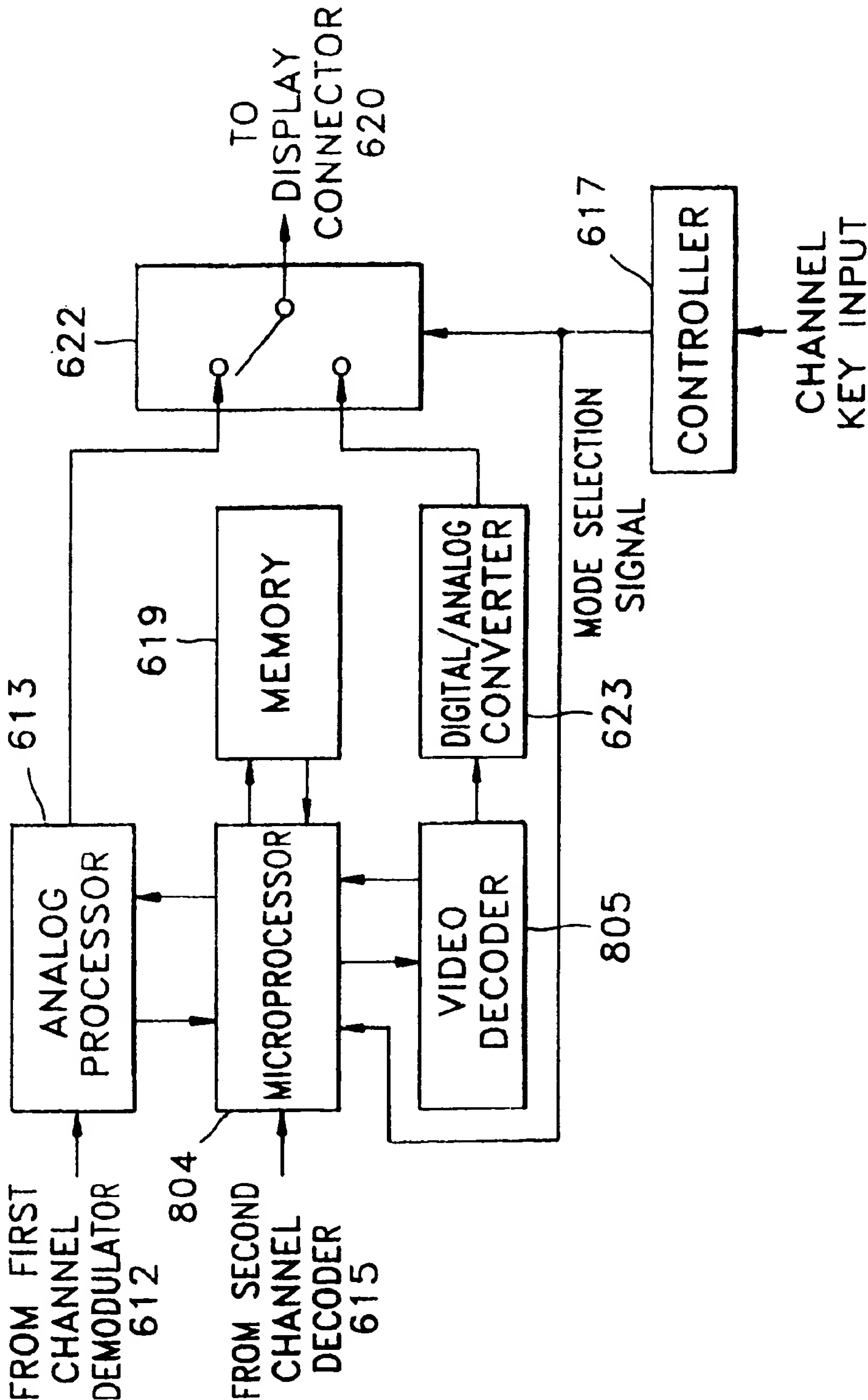


FIG. 12C



RECEIVER HAVING ANALOG AND DIGITAL VIDEO MODES AND RECEIVING METHOD THEREOF

BACKGROUND OF THE INVENTION

The present invention relates to a receiver having analog and digital video modes and a receiving method therefor, and more particularly, to a receiver sharing a memory for digital television signal processing in an analog video mode, and to a receiving method therefor.

The digital video mode is to receive television signals, digitally processed by the MPEG (Moving Picture Experts Group) standards from a transmitter such as a broadcasting station, and the analog video mode is to receive signals analog-processed by a conventional broadcasting method such as NTSC, PAL or SECAM. While a set-top-box for decoding a bitstream coded by MPEG-2, or a digital television including a set-top-box are being developed, conventional analog video service is still overwhelmingly predominant. In answer to this situation, a television receiver having both analog and digital video modes is needed. Such an analog and digital video mode television receiver requires 8-32 Mb of memory for digital television signal decoding. This memory, however, is idle (i.e., unused) when the analog video mode is selected.

In an analog receiver having an analog video mode, as shown in FIG. 1, a tuner 11 selects a desired television channel signal among received analog television channel signals, to output an intermediate frequency signal. A channel demodulator 12 amplifies and demodulates the intermediate frequency signal of the channel selected by tuner 11. (While the amplified and demodulated signal is separated into audio and video signals, only the video portion will be described for the sake of simplifying the drawings and description.) A luminance/chrominance (Y/C) separator 13 separates the video signal output from channel demodulator 12 into luminance (Y) and chrominance (C) signals, using a correlation between a current line and its adjacent ones and/or between the previous frame and a current frame stored in a frame memory 14. The separated signals are stored in frame memory 14 and at the same time are input to the display connector 15.

The display connector 15 converts the Y and C signals received from Y/C separator 13 into analog R, G and B signals and then outputs the converted signals to a display 16 which is, for example, a picture tube.

Tuner 11, channel demodulator 12, Y/C separator 13 correspond to an analog television signal processor 100. In addition, an analog-to-digital converter can be included for converting the output of channel demodulator 12 into digital form in order to store it in frame memory 14 as digital data, and a digital-to-analog converter for converting the output of display connector 15 into analog form in order to display it as an analog signal on display 16.

When a comb filter is used for the Y/C separation in a conventional analog television, a cross color or cross luminance phenomenon occurs due to insufficient Y/C separation. Accordingly, as shown in the circuit of FIG. 1, a frame memory is used for three-dimensional Y/C separation often noted as frame comb filtering, to enhance picture quality.

Frame memory 14 may be also used for post-processing, for further enhancement of the picture quality after the Y/C separation. That is, edge components determined by the correlation between a current frame and a previous frame using frame memory 14, are emphasized. Most such methods for enhancing picture quality require a costly high-

capacity memory. Therefore, a method incorporating a limited memory is generally used, even though it is not as effective.

FIG. 2 is a schematic block diagram of a conventional digital television for receiving television signals coded by MPEG-2. In FIG. 2, a tuner 21 selects a desired channel signal from television signals received from an antenna. The television signals received from the antenna are input in an MPEG-2 packet structure.

According to an MPEG-2 format, the transmitting data has a system layer structure consisting of packets of a 188-byte unit. The packet structure includes a header having sync and side information and another region having audio data, video data and user data. The video data is compressed by an inter-picture encoding or intra-picture encoding technique. During the inter-picture encoding of predicted- and bi-directionally predicted picture data within each group of pictures (GOP) unit (fifteen pictures maximum) following an intra-picture, only the differences between the picture being encoded and another picture are encoded. Each GOP includes intra-picture data which can be independently coded without reference to any other picture data, predicted-picture data which can be coded from the preceding intra-picture data and the preceding predicted-pictures data by using motion compensation between adjacent pictures, and bi-directionally predicted picture data which can be coded from a preceding intra- or predicted-picture data and the following intra- or predicted-picture data, using motion compensation, between adjacent pictures.

A channel demodulator 22 including a quadrature phase shift-keying demodulator, a Reed-Solomon decoder and a Viterbi decoder, converts a desired digital television channel signal which is output from tuner 21, into an MPEG-2 bitstream.

A system decoder 23 separates the MPEG-2 bitstream into audio and video data streams. (As in the case of FIG. 1, the audio portion will not be described, though it is assumed that an audio decoder and audio signal processor are provided for decoding and signal-processing the audio stream, and only the video signal process is shown and will be described).

A video decoder 24 includes a variable-length decoder for variable-length-decoding the video data stream output from system decoder 23, an inverse quantizer for inverse quantizing the variable-length-decoded data, an inverse discrete cosine transform (IDCT) operator for performing IDCT operation, and motion compensator for computing motion-predicted data. Video decoder 24 reconstructs the compressed data in order to display the original data on a display 27. The reconstructed video is converted into an analog RGB signal by display connector 26 before being displayed on display 27.

A memory 25 is used for video-decoding, i.e., source-decoding, the digital video data performed in video decoder 24.

Memory 25 includes a video buffering verifier (VBV) buffer (also call a channel buffer) for converting the constant bit rate of the video data stream output from system decoder 23 into a variable bit rate before variable-length-decoding, and frame buffers for reconstructing the predicted and bi-directionally predicted pictures after compensating for motion by adding block data obtained by reading out a predetermined size of DCT blocks corresponding to a motion vector from previous frame data and inverse-DCT data. Accordingly, memory 25 requires a capacity of 8 Mb to 32 Mb for the frames and VBV buffers in order to decode the video data stream.

3

Tuner 21, channel demodulator 22, system decoder 23 and video decoder 24 correspond to a digital television signal processor 200. Further, the combination of digital television signal processor 200 and memory 25 is generally called a set top box (STB).

Since it is expected that the analog TV service such as NTSC, PAL will continue to exist, a consumer television system must have capability to display both analog and digital video services. Two methods therefor will be described as follows.

Referring to FIG. 3, all processes for digital video service are performed in an STB 210 and then the reconstructed video signal is applied to a video input terminal of a conventional analog television 110. Accordingly, digital video service can be received in the analog television 110 also.

Referring to FIG. 4, a television having a conventional analog video mode is provided with the digital television signal processor 200 and the memory 25, to thereby receive both analog video service and digital video service.

Accordingly, as shown in FIGS. 3 and 4, the memory is used for analog television signal processing, i.e., Y/C separation and post-processing, and an 8-32 Mb memory is used for decoding of digital video. When a television receives only analog video service, the memory of an 8-32 Mb for digital video-decoding is not used. It is thus inefficient because an existing resource within the television system cannot be used.

SUMMARY OF THE INVENTION

Accordingly, it is an object of the present invention to provide a receiver having analog and digital video modes, wherein a memory required for digital video signal decoding is commonly used for analog television signal processing in an analog video mode.

It is another object of the present invention to provide a receiving method wherein a memory required for decoding a digital video signal is commonly used for analog television signal processing in an analog video mode.

To accomplish the first object of the present invention, there is provided a receiver having an analog video mode for receiving a television signal analog-processed by a predetermined analog broadcasting method and a digital video mode for receiving a television signal digital-processed by a predetermined digital signal format, comprising: first signal processing means for processing the received analog television signal; second signal processing means for decoding the received digital television signal; a memory for storing data in order to decode the digital TV signal in the second signal processing means and process digitized analog television signal in the first signal processing means; generating means for generating a mode selection signal which represents either the analog video mode or the digital video mode; and a memory controller for controlling the memory according to the mode selection signal in order to write/read the signal processed in the first signal processing means to/from the memory during the analog video mode and write/read the digital TV signal to/from said memory during the digital video mode.

To accomplish the second object of the present invention, there is provided a method for receiving a television signal analog-processed by a predetermined analog broadcasting method and a television signal digital-processed by a predetermined digital signal format, comprising the steps of: (a) generating a mode selection signal which represents either analog video mode or digital video mode; (b) storing

4

received digital television signal according to the mode selection signal in a memory for digital video-decoding and decoding using the data stored in the memory in digital video mode, and storing the received analog television signal in the memory for digital video-decoding and reading the data stored in the memory to process the data in the memory in analog video mode.

BRIEF DESCRIPTION OF THE DRAWINGS

The above objects and advantages of the present invention will become more apparent by describing in detail a preferred embodiment thereof with reference to the attached drawings in which:

FIG. 1 is a block diagram of a conventional analog television;

FIG. 2 is a block diagram of a conventional digital television;

FIG. 3 is a schematic diagram of the conventional analog television with STB;

FIG. 4 is a schematic diagram of a digital television having a conventional analog video mode;

FIG. 5 is a block diagram of a receiver having analog and digital video modes according to a first embodiment of the present invention;

FIG. 6 is a detail view of the memory controller shown in FIG. 5;

FIG. 7 is a block diagram of the receiver having analog and digital video modes according to a second embodiment of the present invention;

FIG. 8 is a block diagram of the receiver having analog and digital video modes according to a third embodiment of the present invention;

FIGS. 9A through 9C illustrate modifications of the third embodiment shown in FIG. 8;

FIG. 10 is a block diagram of the receiver having analog and digital video modes according to a fourth embodiment of the present invention;

FIG. 11 is a detail block diagram of an analog processor shown in FIG. 10; and

FIGS. 12A through 12C are modifications of the fourth embodiment shown in FIG. 10.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The structure and operation of the analog and digital television signal processors 100 and 200 in FIG. 5 are the same as those in FIGS. 1 and 2. Therefore, no further description will be given.

Referring to FIG. 5, a controller 310 determines whether an input channel key is a television channel processed by a conventional analog method (an analog television channel) or a television channel digitally encoded by MPEG-2 (a digital television channel), and outputs to a memory controller 320 a mode selection signal for either an analog or digital video mode. According to the mode selection signal, memory controller 320 selects one output among those processed in analog television signal processor 100 and digital television signal processor 200, to store the selected output in a memory 330, or read the data stored in memory 330 to supply the data to either analog television signal processor 100 or digital television signal processor 200.

In the analog video mode, the signal processed in analog television signal processor 100 is displayed on a display 360 through a multiplexer 340 and a display connector 360, and

5

in the digital video mode, the signal processed in digital television signal processor 200 is displayed on display 360 through multiplexer 340 and display connector 350.

Multiplexer 340 supplies the video signal selected according to a mode selection signal output from controller 310 to display connector 350.

In the analog video mode, memory 330 is used as the frame memory (or a field memory) for the Y/C separation and post-processing as described referring to FIG. 1. In the digital video service mode, on the other hand, memory 330 is used as the VBV buffer for converting the transmission rate and as the frame buffer for motion compensation, as described referring to FIG. 2.

FIG. 6 is a detailed view of the memory controller 320 shown in FIG. 5.

Referring to FIG. 6, input and output lines include a data line for reading or writing data to and from memory 330, an address line and a memory control line such as an enable.

The memory controller 320 includes a plurality of multiplexers 320.1-320.n for switching, wherein first input terminals a1-an of each multiplexer are respectively connected to the input/output (I/O) lines of the digital television signal processor 200, second input terminals c1-cn are respectively connected to the I/O lines of the analog television signal processor 100, and fix terminals b1-bn are respectively connected to the I/O lines of memory 330.

Accordingly, input and output lines of memory 330 are connected to input and output lines of the analog television signal processor 100 when the mode selection signal indicates the analog video mode, in order to use memory 330 as a frame buffer for Y/C separation and post-processing. Conversely, input and output lines of memory 330 are connected to input and output lines of the digital television signal processor 200 when the mode selection signal indicates the digital video mode, in order to use memory 330 as the VBV buffer for converting transmission rate and as the frame buffer for motion compensation.

In FIG. 7, a receiver sharing a memory for both analog and digital modes using a bus-control method, is shown.

In the bus-control method, function control portions are connected to a controller 410 (microcomputer) through two common bus lines, i.e., data and clock lines, which allow bi-directional data transmission and are connected to a data output terminal or terminals and a clock output terminal of the controller. When the controller 410 transmits an address and data over the bus lines and the transmitted address corresponds to that of a given function control unit. The address function control unit is operated in accordance with the transmitted data. Accordingly, the bus-control method reduces the burden of the controller and decreases signal-processing time.

Referring to FIG. 7, a controller 410 determines whether an input channel key is an analog television channel or a digital television channel. When the selected channel is an analog television channel, controller 410 transmits the corresponding mode selection data via the data line to analog television signal processor 100 and a memory 420 in order to operate analog television signal processor 100 and memory 420. When the selected channel is a digital television channel, controller 410 transmits the corresponding mode selection data via the data line to digital television signal processor 200 and memory 420 in order to operate digital television signal processor 200 and memory 420.

Memory 420 is used as the frame memory for the Y/C separation and post-processing when the analog video mode

6

is selected, where current frame data processed in analog television signal processor 100 is written in memory 420 through data lines, and previous frame data stored in memory 420 is transmitted to analog television signal processor 100 through the data lines. Memory 420 is also used as the VBV buffer for transmission rate conversion and as the frame buffer for motion compensation when the digital video mode is selected, where data processed in digital television signal processor 200 is stored in memory 420 through the data lines, and previous data stored in memory 420 is transmitted to digital television signal processor 200 through the data lines.

Signals processed in the analog television signal processor 100 and the digital television signal processor 200 according to the mode selection signal output from controller 410, are switched by multiplexer 430 and then displayed on a display 450 through a display connector 440.

FIG. 8 is a block diagram of the receiver having analog and digital video modes according to a third embodiment of the present invention. The function of the memory controller consisting of hardware in FIG. 5, that is, the function of selecting analog television signal processor 100 or digital television signal processor 200 according to the mode selection signal, is programmed, and a memory 519 is alternately used for digital video-decoding and analog television signal processing such as Y/C separation and post-processing.

Referring to FIG. 8, a first tuner 511 selects only a desired channel signal among analog television channel signals transmitted through an antenna for receiving analog television channels, to output an intermediate frequency signal.

A first channel demodulator 512 amplifies the intermediate frequency signal of the channel selected from the first tuner 511, and outputs a video signal.

An analog-to-digital converter 513 converts the video signal output from the first channel demodulator 512 into digital form.

Meanwhile, a second tuner 514 selects a desired channel signal among digital television channel signals coded according to MPEG-2 and transmitted through an antenna for receiving digital television channels. A second channel demodulator 515 outputs the desired digital television channel signal output from second tuner 514 as an MPEG-2 bitstream, and a system decoder 516 extracts only a video data stream from the MPEG-2 bitstream.

A controller 517 determines whether the input channel key is an analog television channel or a digital television channel in order to output a mode selection signal indicating the proper mode, i.e., the analog video mode or the digital video mode.

A microprocessor 518 receives the mode selection signal to select either the output of the analog-to-digital converter 513 connected to a first input port or the output of the system decoder 516 connected to a second input port. That is, in an analog video mode, microprocessor 518 selects a digitized analog television channel signal output from the analog-to-digital converter 513, and then either writes in a memory 519 or reads from memory 519 using the instructions of a predetermined program, to perform Y/C separation and post-processing. Here, memory 519 is used as a frame memory for the Y/C separation and post-processing.

As shown in FIG. 8, in addition to having signals received using first and second input ports of the microprocessor 518, a multiplexer can be connected to an input port to switch the two inputs in order to use only one input port of the microprocessor 518. The above modifications can be used for embodiments of FIGS. 9A through 9C, FIG. 10 and FIGS. 12A through 12C.

Meanwhile, a display connector 520 converts digital data output from microprocessor 518 into analog form, to display analog R, G and B signals on display 521. The display connector can be called a signal converter.

The microprocessor 518 can calculate at a high speed, but a specific function such as inverse DCT which requires high-speed operation can be realized by hardware.

FIGS. 9A through 9C are modifications of the third embodiment shown in FIG. 8.

A microprocessor 522 shown in FIG. 9A, receives a digitized analog television channel signal which is output from analog-to-digital converter 513 in analog video mode, to thereby perform Y/C separation and post-processing using memory 519 as described in FIG. 8.

Also, microprocessor 522 receives a MPEG-2 bitstream from second channel demodulator 515 in digital video mode and then a video data stream is extracted from MPEG-2 bitstream under control of controller 517 and output to a video decoder 523. Video decoder 523 reconstructs video data stream from the extracted video data stream.

The microprocessor 522 provides a memory connection path so that video decoder 523 uses memory 519 as a VBV buffer, a frame buffer and a display buffer.

A multiplexer 524 selects one of digitized analog signals, which are output from microprocessor 522 according to the mode selection signal output from controller 517 and reconstructed data in video decoder 523.

A microprocessor 525 shown in FIG. 9B performs Y/C separation and post-processing in analog video mode as described in FIG. 9A, and MPEG-2 system decoding and video-decoding in digital video mode. That is, in the case of digital video mode, a video data stream is extracted from MPEG-2 bitstream output from the second channel demodulator 515 and then video data is reconstructed from the extracted video data stream by microprocessor 525.

A microprocessor 527 shown in FIG. 9C performs a memory control function for sharing memory 519 in analog mode and digital video mode and Y/C separation and post-processing in analog mode as described in FIGS. 9A and 9B.

Meanwhile, in digital video mode, MPEG-2 system decoding and video-decoding are performed by a system and video decoder 526. Also, a multiplexer 528 supplies one of digitized analog signals output from microprocessor 527 according to the mode selection signal of controller 517 and reconstructed video data output from system and video decoder 526, to display connector 520.

FIG. 10 is a block diagram of a receiver having analog and digital video modes according to a fourth embodiment of the present invention. Here, operation of a first tuner 611, a first channel demodulator 612, a second tuner 614, a second channel demodulator 615, a system decoder 616, a display connector 620 and a display 621 is the same as that described in FIG. 8.

In the third embodiment shown in FIG. 8, the memory control function is programmed into a microprocessor 618. However, in the fourth embodiment, the analog television signal processing such as three-dimensional Y/C separation or post-processing is performed by an analog processor 613 separated from microprocessor 618. Analog processor 613 is provided with an A/D converter 701, an analog TV signal processor 702 and a D/A converter 703, as shown in FIG. 11.

In A/D converter 701, the channel demodulated signal output from first channel demodulator 612 of FIG. 10 is converted into digital data. The digital data is then received

by an analog TV signal processor 702 and further stored in a memory 619 through microprocessor 618 operated as a memory controller. The analog TV signal stored in memory 619 is used by the analog TV signal processor 702 for Y/C separation or post-processing. The output processed by the analog TV signal processor 702 is temporarily stored in memory 619 until being read out, and is converted into analog signal in D/A converter 703.

Meanwhile, in case of digital video service, MPEG-2 bitstream is decoded into a video data stream in the system decoder 616 and the video data stream is reconstructed to video data by microprocessor 618. The reconstructed data is converted into analog signal by the D/A converter 623.

According to the mode selection signal output from the controller 617 where a mode is determined by a received channel key, a multiplexer 622 selects an analog TV signal processed in the analog processor 613 or an analog video signal output from the D/A converter 623.

The display connector 620 of FIG. 10 receives data converted into analog signal and then converts the data into R, G and B signals, to thereby output the R, G and B signals to display 621. In a modification thereof, display connector 620 can be realized by uniting one of components of analog processor 613, i.e., a digital-to-analog converter 703 and digital-to-analog converter 623. Here, the multiplexer 622 converts received digital signals into analog signals, and then outputs analog R, G and B signals into display 621. The above modification is applied to FIGS. 12A, 12B and 12C.

Meanwhile, the embodiment of FIG. 10 can be slightly modified depending on the extent of implementing MPEG decoding by software using the microprocessor 618.

FIGS. 12A through 12C are modifications of the fourth embodiment shown in FIG. 10, where functionally identical portions are given by the same reference numerals as those of FIG. 10.

The microprocessor 801 shown in FIG. 12A performs only control of the memory 619. The MPEG-2 bitstream decoding and video data stream decoding are performed by a system and video decoder 802 outside of the microprocessor 801.

A microprocessor 803 shown in FIG. 12B performs both MPEG-2 bitstream decoding and video data stream decoding.

A microprocessor 804 shown in FIG. 12C performs MPEG-2 bitstream decoding. However, video data stream decoding is performed by a video decoder 805 external to the microprocessor 804.

According to the present invention, when a receiver for receiving both analog video service and digital video service processes a received analog television channel, a large-capacity memory (as that for digital video decoding) is commonly used as a memory for processing an analog television signal, so that memory efficiency is enhanced and system cost is reduced.

What is claimed is:

1. A receiver having an analog video mode for receiving television signals analog-processed by a predetermined analog broadcasting method and a digital video mode for receiving television signals digitally processed by a predetermined digital signal format, comprising:

first signal processing means for processing received analog television signals;

second signal processing means for decoding received digital television signals;

a memory for storing data in order to decode said digital television signals in said second signal processing

means during said digital video mode and for storing data in order to process digitized analog television signals in said first signal processing means during said analog video mode.

2. The receiver according to claim 1, wherein said first signal processing means comprises:

- a first tuner for selecting a channel among received analog television channels, to output an intermediate frequency signal of a selected channel;
- a first channel demodulator for amplifying and demodulating said intermediate frequency signal of the channel selected by said first tuner to output a video signal; and
- a luminance/chrominance separator for separating a luminance (Y) signal and a chrominance signal (C) from said video signal output from said first channel demodulator using a correlation between one of adjacent pictures stored in said memory and between adjacent lines stored in said memory.

3. The receiver according to claim 2, further comprising a post-processor for post-processing said video signal using said luminance signal for enhancing picture quality.

4. The receiver according to claim 2, wherein, in said analog video mode, said memory is used as a frame memory for storing data output from said first channel demodulator in a picture unit.

5. The receiver according to claim 3, wherein, in said analog video mode, said memory is used as a frame memory for storing data output from said first channel demodulator in a picture unit and data input from said post-processor in a picture unit.

6. The receiver according to claim 1, wherein said first signal processing means comprises:

- a first tuner for selecting a channel among received analog television channels, to output an intermediate frequency signal;
- a first channel demodulator for amplifying and demodulating said intermediate frequency signal of the channel selected by said first tuner to output a video signal; and
- a post-processor for post-processing using said video signal output from said first channel demodulator and data stored in said memory.

7. The receiver according to claim 6, wherein, in said analog video mode, said memory is used as a frame memory for storing data output from said first channel demodulator in a picture unit.

8. The receiver according to claim 1, wherein said second signal processing means comprises:

- a second tuner for selecting a channel signal among television signals coded by a received digital signal format;
- a second channel demodulator for channel-decoding the channel signal output from said second tuner;
- a system decoder for outputting a video data stream from a channel-decoded signal output from said second channel demodulator; and
- a video decoder for reconstructing video data from said video data stream.

9. The receiver according to claim 8, wherein, in said digital video mode, said memory is used as a channel buffer for converting the transmission rate of a constant bit rate into a variable bit rate for video-decoding and as a frame buffer for motion compensation.

10. The receiver according to claim 1, further comprising: generating means for generating a mode selection signal which represents one of said analog video mode and said digital video mode; and

a memory controller for controlling said memory according to said mode selection signal in order to write/read a signal processed in said first signal processing means to/from said memory during said analog video mode and write/read a digital television signal to/from said memory during said digital video mode.

11. The receiver according to claim 10, wherein said memory controller includes switching means for selecting one of the outputs from said first and second signal processing means according to said mode selection signal to write in said memory and supply data stored in said memory to a selected signal processing means.

12. The receiver according to claim 11, wherein said switching means includes at least one multiplexer.

13. The receiver according to claim 10, further comprising:

switching means for selecting one of the output signals from said first signal processing means and said second signal processing means according to said mode selection signal; and

display controlling means for displaying the signal selected by said switching means on a display.

14. The receiver according to claim 10, wherein said memory controller is comprised of a microprocessor.

15. The receiver according to claim 14, wherein said first signal processing means comprises:

a first tuner for selecting a channel among received analog television channels;

a first channel demodulator for demodulating a channel signal selected by said first tuner to output a video signal; and

an analog-to-digital converter for converting said video signal demodulated by said first channel demodulator into a digitized analog television signal.

16. The receiver according to claim 15, wherein said second signal processing means comprises:

a second tuner for selecting a channel signal among received television signals coded by the digital signal format; and

a second channel demodulator for channel-decoding the channel signal output from said second tuner.

17. The receiver according to claim 1, wherein said first signal processing means, said second signal processing means and said memory, respectively, are connected to common bus lines including at least one data line and a clock line.

18. The receiver according to claim 17, further comprising controlling means connected to said common bus lines, for generating mode selection data which represents one of said analog video mode and said digital video mode.

19. The receiver according to claim 16, wherein said microprocessor performs post-processing of the digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and system-decoding of the channel-decoded digital television signal output from said second channel demodulator, in said digital video mode, to thereby extract video data stream.

20. The receiver according to claim 16, further comprising display controlling means for displaying a signal processed by said microprocessor on a display.

21. The receiver according to claim 16, further comprising a system decoder for extracting a video data stream from said channel-decoded digital television signal output from said second channel demodulator.

22. The receiver according to claim 21, wherein said microprocessor performs luminance/chrominance separa-

11

tion of the digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and reconstructs said channel-decoded digital television signal from the video data stream output from said system decoder, in said digital video mode.

23. The receiver according to claim 22, wherein said microprocessor performs post-processing using said luminance signal.

24. The receiver according to claim 22, wherein said microprocessor post-processes said digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and reconstructs said channel-decoded digital television signal output from said system decoder, in said digital video mode.

25. The receiver according to claim 24, wherein said microprocessor multiplexes said channel-decoded digital television signal and reconstructs digital video signal from said video data stream output from said system decoder.

26. The receiver according to claim 25, further comprising a digital-to-analog converter which converts the reconstructed digital video signal into an analog signal.

27. The receiver according to claim 25, further comprising:

switching means for selecting one of the reconstructed digital television signal output from said system decoder and a processed analog television signal output from said microprocessor; and

display controlling means for displaying the signal selected by said switching means on a display.

28. The receiver according to claim 25, further comprising:

analog processing means for receiving and storing said digitized analog television signal, and for processing said data read out from said memory to output a processed analog television signal;

switching means for selecting one of the reconstructed digital television signal output from said system decoder and the processed analog television signal output from said analog processing means; and

display controlling means for displaying the signal selected by said switching means on a display.

29. The receiver according to claim 28, wherein said analog processing means performs luminance/chrominance separation of said digitized analog television signal.

30. The receiver according to claim 28, wherein said analog processing means performs post-processing of said digitized analog television signal.

31. The receiver according to claim 28, wherein said analog processing means performs luminance/chrominance separation and post-processing of said digitized analog television signal.

32. The receiver according to claim 16, wherein said microprocessor performs luminance/chrominance separation for separating the digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and performs system decoding, in said digital video mode, to extract video data stream from the channel-decoded digital television signal output from said second channel demodulator.

33. The receiver according to claim 32, further comprising a video decoder for reconstructing a digital video signal from the video data stream output from said microprocessor.

34. The receiver according to claim 16, wherein said microprocessor performs luminance/chrominance separation of the digitized analog television signal output from said analog-to-digital converter in said analog video mode, and

12

extracts video data stream from the channel-decoded digital television signal output from said second channel demodulator, and reconstructs a digital video signal from the extracted video data stream in said digital video mode.

35. The receiver according to claim 33, wherein said microprocessor performs post-processing of the digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and system-decoding of the channel-decoded digital television signal output from said second channel demodulator, in said digital video mode, to extract video data stream, and reconstructs digital video signal from the extracted video data stream.

36. The receiver according to claim 33, further comprising:

switching means for selecting one of the reconstructed digital television signal output from said video decoder and the processed analog television signal output from said microprocessor; and

display controlling means for displaying the signal selected by said switching means on a display.

37. The receiver according to claim 36, wherein said display controlling means converts the signal switched in said switching means into an analog signal.

38. The receiver according to claim 36, further comprising a digital-to-analog converter for converting said reconstructed digital video signal into an analog video signal.

39. The receiver according to claim 36, wherein said display controlling means converts said signal into an analog signal.

40. The receiver according to claim 33, further comprising:

analog processing means for receiving said digitized analog television signal and storing said digitized analog television signal into said memory via said microprocessor, and processing said data read out from said memory to output a processed analog television signal;

switching means for selecting one of the reconstructed digital television signal output from said video decoder and the processed analog television signal output from said analog processing means; and

display controlling means for displaying the signal selected by said switching means on a display.

41. The receiver according to claim 40, wherein said analog processing means performs luminance/chrominance separation of said digitized analog television signal.

42. The receiver according to claim 40, wherein said analog processing means performs post-processing of said digitized analog television signal.

43. The receiver according to claim 40, wherein, said analog processing means performs luminance/chrominance separation and post-processing of said digitized analog television signal.

44. The receiver according to claim 16, further comprising a system and video decoder for extracting a video data stream from the channel-decoded digital television signal output from said second channel demodulator and for reconstructing a digital video signal from the extracted video data stream.

45. The receiver according to claim 44, wherein said microprocessor performs luminance/chrominance separation of the digitized analog television signals output from said analog-to-digital converter, in said analog video mode, and writes and reads said digital television signals to and from said memory for system-decoding and video-decoding, in said digital video mode.

13

46. The receiver according to claim 44, wherein said microprocessor performs post-processing of the digitized analog television signal output from said analog-to-digital converter, in said analog video mode, and writes and reads said channel-decoded digital television signal to and from said memory for system-decoding and video-decoding, in said digital video mode.

47. The receiver according to claim 44, further comprising:

switching means for selecting one of the reconstructed digital television signal output from said system and video decoder and a processed analog television signal output from said microprocessor; and

display controlling means for displaying the signal selected by said switching means on a display.

48. The receiver according to claim 47, wherein said second digital processing means for converting said reconstructed digital video signal output from said system and video decoder into said digitized analog television signal and supplying a converted analog signal to said switching means.

49. The receiver according to claim 47, wherein said display controlling means converts said signal into an analog signal.

50. The receiver according to claim 44, further comprising:

analog processing means for receiving and storing said digitized analog television signal, and for processing said data read out from said memory to output a processed analog television signal;

switching means for selecting one of the reconstructed digital television signal output from said system and video decoder and the processed analog television signal output from said analog processing means; and display controlling means for displaying the signal selected by said switching means on a display.

51. The receiver according to claim 50, wherein said analog processing means performs luminance/chrominance separation of said digitized analog television signal.

52. The receiver according to claim 50, wherein said analog processing means performs post-processing of said digitized analog television signal.

53. The receiver according to claim 50, wherein said analog processing means performs luminance/chrominance separation and post-processing of said digitized analog television signal.

54. The receiver according to claim 44, further comprising:

switching means for selecting one of the reconstructed digital television signal output from said system and video decoder and a processed analog television signal output from said microprocessor; and

display controlling means for displaying a signal selected by said switching means on a display.

55. The receiver according to claim 54, further comprising:

converting means for converting said reconstructed digital television signal into an analog signal and for supplying said analog signal to said switching means.

56. The receiver according to claim 54, wherein said display controlling means converts the signal switched in said switching means into an analog signal.

57. The receiver according to claim 44, further comprising:

analog processing means for receiving and storing said digitized analog television signal, and for processing

14

said data read out from said memory to output a processed analog television signal;

switching means for selecting one of the reconstructed digital television signal output from said system and video decoder and the processed analog television signal output from said analog processing means; and display controlling means for displaying the signal selected by said switching means on a display.

58. The receiver according to claim 57, wherein said analog processing means performs luminance/chrominance separation of said digitized analog television signal.

59. The receiver according to claim 57, wherein said analog processing means performs post-processing of said digitized analog television signals.

60. The receiver according to claim 57, wherein said analog processing means performs luminance/chrominance separation and post-processing said digitized analog television signal.

61. A method for receiving television signals analog-processed by a predetermined analog broadcasting method and television signals digitally processed by a predetermined digital signal format, comprising the steps of:

(a) generating a mode selection signal to determine whether a channel selected by a user is one of a television channel of an analog video mode and a television channel of a digital video mode;

(b) storing a digital television signal received according to said mode selection signal in a memory for digital video decoding; and

(c) decoding said digital television signal.

62. A method for receiving television signals analog-processed according to a predetermined analog broadcasting method and television signals digitally processed by a predetermined digital signal format, comprising the steps of:

(a) generating a mode selection signal to determine whether a channel selected by a user is one of a television channel of an analog video mode and a television channel of a digital video mode;

(b) storing an analog television signal received according to said mode selection signal in a memory for digital video decoding;

(c) reading data stored in said memory; and

(d) processing said data to generate a digital television signal in said analog video mode.

63. A method for receiving television signals analog-processed according to a predetermined analog broadcasting method and television signals digitally processed by a predetermined digital signal format, comprising the steps of:

(a) generating a mode selection signal to determine whether a channel selected by a user is one of a television channel of an analog video mode and a television channel of a digital video mode;

(b) storing a received digital television signal according to said mode selection signal in a memory for digital video-decoding;

(c) decoding said received digital television signal stored in said memory in said digital video mode;

(d) storing a received analog television signal in said memory for digital video-decoding; and

(e) reading data stored in said memory to process the data in said memory in said analog video mode.

* * * * *